

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

THIS PAGE BLANK (USPTO)

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 G06F 13/00, H04L 29/00	A1	(11) 国際公開番号 WO00/25215
		(43) 国際公開日 2000年5月4日(04.05.00)
<p>(21) 国際出願番号 PCT/JP99/05902</p> <p>(22) 国際出願日 1999年10月26日(26.10.99)</p> <p>(30) 優先権データ 特願平10/321488 1998年10月27日(27.10.98) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者: および (73) 発明者/出願人(米国についてのみ) 石田卓也(ISHIDA, Takuya)[JP/JP] 神原義幸(KAMIHARA, Yoshiyuki)[JP/JP] 和田文利(WADA, Fumitoshi)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番3号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>		(81) 指定国 CN, KR, US, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
<p>(54) Title: DATA TRANSFER CONTROLLER AND ELECTRONIC DEVICE</p> <p>(54) 発明の名称 データ転送制御装置及び電子機器</p> <p>(57) Abstract A data transfer controller and electronic device for high-speed data transfer with a small processing overhead and with a small-scale hardware. An IEEE1394 data transfer controller has a packet shaping circuit (160) and a packet separating circuit (180). The packet shaping circuit (160) shapes a packet transferred from a node so that the shaped packet can be used by the upper layer. The packet separating circuit (180) writes the header of the shaped packet in the header area of a RAM and writes the data in the data area. The packet shaping circuit (160) adds a data pointer delivered from the packet separating circuit to the header of the packet during the packet shaping, and the packet separating circuit separates the packet by using TAG. Broadcast information, error status information, and information representing whether or not the packet is received during a self-ID period are added to the trailer of the packet when the packet is shaped. Information such as ACK added to the rear part of the packet in time series during the packet shaping is written in the front part of the header.</p>		
<p>80 RAM (パケット記憶手段)</p> <p>34 FIFO (RF)</p> <p>20 リンクコア</p> <p>160 パケット整形回路</p> <p>WADR WDATA DTAG RD TAG B データタイミング</p> <p>180 パケット分離回路</p> <p>DMAc A (書き込み手段)</p> <p>C PHY CHIP</p> <p>80 ... RAM (PACKET STORAGE MEANS) 180 ... PACKET SEPARATING CIRCUIT 20 ... LINK CORE 160 ... PACKET SHAPING CIRCUIT A ... DMAc (WRITING MEANS) B ... DATA POINTER C ... PHY CHIP</p>		

(57) 要約

処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及び電子機器を提供することが目的である。IEE E 1394のデータ転送制御装置において、パケット整形回路(160)が、各ノードから転送されてきたパケットを上層が使用できるように整形し、パケット分離回路(180)が、整形されたパケットのヘッダをRAMのヘッダ領域に書き込み、データをデータ領域に書き込む。そして、パケット整形の際に、パケット分離回路から渡されたデータポインタをパケットのヘッダに付加する。TAGを用いてパケットを分離する。ブロードキャスト情報、エラーステータス情報、セルフID期間に受信したパケットか否かを示す情報を、パケット整形の際にパケットのトレイラーに付加する。パケット整形において時系列でパケットの後ろ側に付加されたACKなどの情報を、RAMにおいて、パケットのヘッダの先頭側に書き込む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	DM	ドミニカ	K Z	カザフスタン	J S	ロシア
A L	アルバニア	EE	ニーストニア	L C	セントルシア	S D	スリランカ
A M	アルメニア	E S	エストニア	L I	リヒテンシュタイン	S O	ヌエーデン
A T	オーストリア	E I	フィンランド	L K	リビア・ランカ	S S	スワジンガボール
A U	オーストラリア	E R	フランス	L R	リベリア	I K	シロギニニア
A Z	アゼルバイジャン	G A	ガボン	L S	レンドト	S S	スロブニア・キアフ
B A	ボスニア・ヘルツェゴビナ	G B D	ケンタダ	L T	リトアニア	N Z	シロホラ・レガネ
B B	ベルベデス	G C H	グルジア	L U	ルクセンブルグ	S N	セネガル
B G	ブルガリア	G G H	ガーナ	L V	ラトヴィア	Z N	スリナジラント
B G	ブルガリア	G M H	ダンビア	M A	モロッコ	T D	チャイニーズ
B J	ベナン	G M N	ギニア	M C	モナコ	T J	トーゴ
B J	ブラジル	G W	ギニア・ビサウ	M D	モルドバ	T Z	タジキスタン
B Y	ベラルーシ	G W	ギリシャ	M G	マダガスカル	T M	タンザニア
C C	カナダ	H C R	ココアチア	M K	マケドニア旧ユーゴスラヴィア	T R	トルコメニスタン
C C	中央アフリカ	H D D	ハンガリー	M L	メリ	T T	トリニダック・トバゴ
C C	コンゴ	H D D	インドネシア	M N	モンゴル	C A	ウクライナ
C C	スイス	H D D	アイルランド	M R	モーリタニア	C G	ウクラン
C C	シエラレオネ	H D D	イスラエル	M W	マラウイ	C I	米国
C C	カーボルーン	H D D	インド	M X	メキシコ	C I	ベキスタン
C C	中国	H D D	アイスランド	N B	ニジニニール	C I	ヴィニミトナム
C C	ニカラグア	H D D	イタリア	N D	ノヴォシビル	Z A	ヨーロースラビア
C C	キューバ	H D D	ケニア	N O	ニューヨーク	Z A	南アフリカ共和国
C C	チニエニ	H D D	チニエニ	P T	ノーベルウエー	Z A	ジンバブエ
D D	デンマーク	H D D	コキヤスタン	R O	ボーランド		
D D	デンマーク	H D D	コキヤスタン	R O	ルーマニア		

明細書

データ転送制御装置及び電子機器

[技術分野]

本発明は、データ転送制御装置及びこれを含む電子機器に関する。

[背景技術]

近年、IEEE 1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE 1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-Rドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

このようなIEEE 1394の概要については、例えば「IEEE 1394ハイ・パフォーマンス・シリアルバスの概要」(Interface Apr. 1996の1~10頁)、「PC周辺機器用バス規格群総覧」(Interface Jan. 1997の106頁~116頁)、「IEEE 1394-1995(FireWire)のリアルタイム転送モードとマルチメディア対応プロトコル」(Interface Jan. 1997の136~146頁)に開示されている。また、IEEE 1394に準拠したデータ転送制御装置としては、テキサス・インスツルメンツ社製のTSLB12LV31などが知られている。

しかしながら、このIEEE 1394に準拠したデータ転送制御装置には次のような課題があることが判明した。

即ち、現在のIEEE 1394規格によれば最大で400Mbpsの転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起

因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、CPU上で動作するファームウェアやアプリケーションソフトが、送信データを準備したり、受信データを取り込んだりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

特に、周辺機器に組み込まれるCPUは、パーソナルコンピュータなどのホストシステムに組み込まれるCPUに比べて処理能力が低い。このため、ファームウェアやアプリケーションソフトの処理のオーバーヘッドの問題は、非常に深刻なものとなる。従って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれている。

[発明の開示]

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ファームウェアやアプリケーションソフトなどの処理のオーバーヘッドを軽減し、小規模なハードウェアで高速なデータ転送を実現できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、整形されたパケットの制御情報をランダムアクセス可能な記憶手段の制御情報領域に書き込み、整形されたパケットのデータを前記記憶手段のデータ領域に書き込むパケット分離手段とを含み、前記パケット分離手段が、前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記パケット整形手段に渡し、前記パケット整形手段が、前記パケット分離手段から渡された前記データポインタをパケットの制御情報に付加することを特徴とする。

本発明によれば、パケット整形手段が、パケット分離手段から渡されたデータポインタをパケットの制御情報に付加する。そして、データポインタが付加されたパケットの制御情報が記憶手段の制御情報領域に書き込まれ、パケットのデータがデータ領域に書き込まれる。このように、制御情報を制御情報領域に書き込

み、データをデータ領域に書き込むことで、ファームウェアやアプリケーションソフトなどの上層の処理負荷を軽減でき、システム全体の実転送速度を向上できるようになる。また、ファームウェアなどの上層が、データポインタを使用して、パケットの制御情報に対応するデータをデータ領域から容易に読み出すことができるようになる。また、データポインタの付加はパケット整形手段により行われ、パケット分離手段がこれに関与する必要がないため、パケット分離手段の構成や記憶手段への書き込み処理を簡素化できる。

また本発明は、前記パケット整形手段が、パケットの少なくとも制御情報とデータを区別するためのタグ情報を生成すると共に、生成された該タグ情報をパケットに関連づけ、前記パケット分離手段が、パケットに関連づけられた前記タグ情報を基づいて、パケットの制御情報を前記制御情報領域に書き込み、パケットのデータを前記データ領域に書き込むことを特徴とする。このようにすることで、簡易なハードウェア構成で、パケットの制御情報を制御情報領域にデータをデータ領域に分離して格納することが可能になる。

また本発明は、前記パケット分離手段が、パケットの制御情報が書き込まれていると、パケットに関連づけられた前記タグ情報に基づき判断した場合には、前記制御情報領域に書き込まれる制御情報のアドレスを指す制御情報ポインタを更新し、パケットのデータが書き込まれていると、前記タグ情報に基づき判断した場合には、前記データ領域に書き込まれるデータのアドレスを指すデータポインタを更新することを特徴とする。このようにすれば、制御情報ポインタの更新処理とデータポインタの更新処理をタグ情報を利用して切り替え、パケットを制御情報とデータに分離できるようになる。これにより、パケットの分離処理の簡素化を図れる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、整形されたパケットを記憶手段に書き込む書き込み手段とを含み、前記パケット整形手段が、バスに接続される全てのノードに対して送信されたパケットか否かを示すプロードキャスト情報を、パケ

ットの制御情報に付加することを特徴とする。

本発明によれば、ファームウェアなどの上層は、処理対象となるパケットがブロードキャストされたパケットか否かを、パケットの制御情報に付加されたブロードキャスト情報を調べるだけで知ることができる。このため、他の情報をデコードするなどの処理を省略することが可能になり、ファームウェアなどの上層の処理負担を軽減できる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、整形されたパケットを記憶手段に書き込む書き込み手段とを含み、前記パケット整形手段が、パケットにエラーがあつたか否かを示すエラーステータス情報を、パケットの制御情報に付加することを特徴とする。

本発明によれば、ファームウェアなどの上層は、処理対象となるパケットにエラーがあるか否かを、パケットの制御情報に付加されたエラーステータス情報を調べるだけで知ることができる。このため、他の情報をデコードするなどの処理を省略することが可能になり、ファームウェアなどの上層の処理負担を軽減できる。

また本発明は、整形されたパケットの制御情報を前記記憶手段の制御情報領域に書き込み、整形されたパケットのデータを前記記憶手段のデータ領域に書き込むパケット分離手段を含み、パケットにエラーがあると判断された場合には、前記データ領域に書き込まれた該パケットのデータを無効にすることを特徴とする。このようにすることで、データ領域に、正しいデータのみを連続して格納できるようになり、アプリケーションソフトなどの上層がデータ領域から連続して正しいデータを読み出すことが可能になる。これにより、上層とのインターフェースの簡素化を図れるようになる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、整形されたパケットを記憶手段に書き

込む書き込み手段とを含み、前記パケット整形手段が、自己識別期間に受信したパケットか否かを示す情報を、パケットの制御情報に付加することを特徴とする。

本発明によれば、ファームウェアなどの上層は、処理対象となるパケットが自己識別期間に受信したパケットか否かを、パケットの制御情報に付加された情報を調べるだけで簡易に知ることができるようになる。これにより、例えば、複数の自己識別パケットを1つにパッケージングすることで得られたパケットと、それ以外のパケットとの区別などが容易になる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、整形されたパケットを記憶手段に書き込む書き込み手段とを含み、前記パケット整形手段が、各ノードから転送されてきたパケットに対して時系列で後ろ側に所与の情報を付加し、前記書き込み手段が、前記所与の情報を、前記記憶手段においてパケットの制御情報の先頭側に書き込むことを特徴とする。

本発明によれば、時系列でパケットの後ろ側に付加された情報が、記憶手段においてパケットの制御情報の先頭側に書き込まれる。従って、ファームウェアなどの上層は、他の情報をデコードすることなく、所与の情報を簡易に確認できるようになる。この結果、ファームウェアなどの上層の処理負担を大幅に軽減できる。

なお本発明では、前記所与の情報は、パケットの転送元に返したアクノリッジメント情報、データ転送の速度を特定するためのスピードコード情報、バスに接続される全てのノードに対して送信されたパケットか否かを示すプロードキャスト情報、自己識別期間に受信したパケットか否かを示す情報、及びパケットにエラーがあったか否かを示すエラーステータス情報の少なくとも1つであることが望ましい。

また本発明は、後段のアプリケーションに接続される第1のバスと、該データ転送制御装置をコントロールする第2のバスと、物理層のデバイスに電気的に接続される第3のバスと、前記記憶手段に電気的に接続される第4のバスと、前記

第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とする。

本発明によれば、互いに分離される第1、第2、第3のバスが設けられる。そして調停手段の調停により、これらの第1、第2、第3のバスのいずれかと、ランダムアクセス可能な記憶手段の第4のバスとの間にデータ経路が確立される。このようにすることで、他のノードから物理層のデバイスを介して受信したパケットを、所望の配置で記憶手段に格納することが可能になる。また、パケットの制御情報の読み出しや書き込みは第2のバスを用いて行い、パケットのデータの読み出しや書き込みは第1のバスを用いて行うことも可能になる。これにより、トランザクション層やアプリケーション層などの上層の処理負担を軽減できる。また、第1、第2のバスとして低速なバスを採用したり、データ転送制御装置をコントロールするデバイスとして低速で安価なデバイスを採用することができる。この結果、データ転送制御装置の小規模化、低コスト化を図れるようになる。

なお、第1、第2、第3、第4のバスは、各々、アプリケーション、データ転送制御装置をコントロールするデバイス、物理層のデバイス、RAMに、少なくとも電気的に接続されればよく、これらのバス上に他のデバイスを介在させてもよい。

また本発明では、前記パケット整形手段と前記記憶手段との間に設けられる FIFOを含むようにしてもよい。

また本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、データ転送制御装置を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

[図面の簡単な説明]

図1A、図1B、図1Cは、非同期転送とアイソクロナス転送について説明するための図である。

図2A、図2Bは、ツリー識別について説明するための図である。

図3は、自己識別について説明するための図である。

図4A、図4B、図4C、図4Dは、セルフIDパケットなどの物理層のパケットのフォーマットを示す図である。

図5は、IEEE 1394のプロトコル構成について示す図である。

図6は、本実施形態のデータ転送制御装置の構成例を示す図である。

図7は、ヘッダ（制御情報）領域とデータ領域の分離について説明するための図である。

図8は、本実施形態の比較例の構成例について示す図である。

図9は、図8の構成によるデータ転送の手法について説明するための図である。

図10は、データ転送の手法の他の例について説明するための図である。

図11は、本実施形態のデータ転送の手法について説明するための図である。

図12は、受信パケットをヘッダとデータに分離してRAMのヘッダ領域とデータ領域に格納する手法について説明するための図である。

図13は、ヘッダ領域に格納するヘッダにデータポインタを含ませる手法について説明するための図である。

図14は、パケット分離回路が渡したデータポインタを、パケット整形回路がパケットのヘッダに付加する手法について説明するための図である。

図15は、TAGについて説明するための図である。

図16は、RAMの各領域のサイズを可変に制御する手法について説明するための図である。

図17A、図17B、図17C、図17Dは、ブロードキャスト情報をパケットのトレイラーに付加する手法について説明するための図である。

図18A、図18Bは、エラーステータス情報をパケットのトレイラーに付加すると共に、パケットにエラーがあった場合にRAMのデータを無効にする手法について説明するための図である。

図19は、セルフID期間について説明するための図である。

図20A、図20Bは、セルフID期間に受信したパケットか否かを示す情報を、パケットのトレイラーに付加する手法について説明するための図である。

図21A、図21Bは、パケット整形において時系列でパケットの後ろ側に付加された情報を、RAMにおいてパケットのヘッダの先頭側に書き込む手法について説明するための図である。

図22は、受信側の構成の一例を示す図である。

図23は、受信側の動作について説明するためのタイミング波形図である。

図24Aは、IEEE1394規格の非同期パケットのフォーマットであり、図24Bは、RAMのヘッダ領域に格納される非同期受信パケットのヘッダ部分のフォーマットである。

図25A、図25B、図25C、図25Dは、ヘッダポインタとデータポインタの更新について説明するための図である。

図26Aは、パケットがセルフIDパケットである場合のヘッダ部分のフォーマットであり、図26Bは、パケットがセルフIDパケット以外のPHYパケットである場合のヘッダ部分のフォーマットである。

図27A、図27B、図27Cは、種々の電子機器の内部ブロック図の例である。

図28A、図28B、図28Cは、種々の電子機器の外観図の例である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

1. IEEE 1394

まず、IEEE 1394の概要について簡単に説明する。

1. 1 データ転送速度、接続トポロジー

IEEE 1394 (IEEE 1394-1995、P1394.a) では 100 ~ 400 Mbps の高速なデータ転送が可能となっている (P1394.b では 800 ~ 3200 Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

各ノードはツリー状に接続されており、1つのバスに最大で 63 個のノードが接続可能になっている。なお、バスブリッジを利用すれば約 6400 個のノードを接続することも可能である。

電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生し、接続トポロジーに関する情報が全てクリアされる。そして、バスリセット後、ツリー識別 (ルートノードの決定)、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスター、バスマネージャ等の管理ノードが決定される。そして、通常のパケット転送が開始される。

1. 2 転送方式

IEEE 1394 では、パケットの転送方式として、信頼性が要求されるデータの転送に好適な非同期転送と、リアルタイム性が要求される動画像や音声などのデータの転送に好適なアイソクロナス転送が用意されている。

図 1A に、非同期サブアクションの例を示す。1 つのサブアクションは、調停、パケット転送、アクノリッジメントからなる。即ち、データ転送に先立って、まず、バスの使用権に関する調停が行われる。そしてソース (転送元) ノードからデスティネーション (転送先) ノードにパケットが転送される。このパケットのヘッダにはソース ID とデスティネーション ID が含まれる。デスティネーションノードは、このデスティネーション ID を読んで、自ノード宛のパケットか否かを判断する。デスティネーションノードは、パケットを受け取ると、ソースノ

ードにアクノリッジメント (ACK) のパケットを返す。

パケット転送とACKの間にはアクノリッジギャップが存在する。また、1つのサブアクションと次のサブアクションの間にはサブアクションギャップが存在する。そして、サブアクションギャップに相当する一定のバス・アイドル時間が経過しないと、次のサブアクションの調停を開始できない。これによりサブアクション相互の衝突が回避される。

図1Bに、アイソクロナスサブアクションの例を示す。アイソクロナス転送はブロードキャスト（バスに接続される全てのノードに転送）で実行されるため、パケット受信時にACKは返送されない。また、アイソクロナス転送では、ノードIDではなくチャネル番号を使用してパケット転送が行われる。なお、サブアクション間にはアイソクロナスギャップが存在する。

図1Cに、データ転送時のバスの様子を示す。アイソクロナス転送は、サイクルマスターが一定周期毎にサイクルスタートパケットを発生することで開始する。これにより、1つのチャネル当たり、 $125\mu s$ 毎に少なくとも1つのパケットを転送できるようになる。この結果、動画像や音声などのリアルタイム性が要求されるデータの転送が可能になる。

非同期転送はアイソクロナス転送の合間に行われる。即ち、アイソクロナス転送の方が非同期転送よりも優先順位が高くなっている。これは、図1Cに示すように、アイソクロナスギャップの時間を、非同期転送のサブアクションギャップの時間よりも短くすることで実現される。

1. 3 ツリー識別

ツリー識別はバスリセットの後に行われる。ツリー識別によりノード間の親子関係やルートノードが決定される。

まず、リーフノード（1つのノードにしか接続されていないノード）が、隣接するノードに、ペアレントノーティファイを送る。例えば図2AのようにノードA、B、C、D、Eが接続されている場合には、ノードAからノードBに、ノードD及びEからノードCに、ペアレントノーティファイ(PN)が送られる。

ペアレントノーティファイを受け取ったノードは、送り元のノードを自身の子

と認知する。そして、チャイルドノーティファイをそのノードに送る。例えば図2 Aでは、ノードBからノードAに、ノードCからノードD及びEにチャイルドノーティファイ(CN)が送られる。これによってノードB、A間、ノードC、D間、ノードC、E間の親子関係が決定する。

ノードB、Cの親子関係は、どちらが先にペアレントノーティファイを送ったかで決定される。例えば図2 Bのように、ノードCの方が先にペアレントノーティファイを送ると、ノードBが親になりノードCが子になる。

ポートの接続先の全てのノードが自身の子となるノードがルートになる。図2 Bでは、ノードBがルートになる。なお、IEEE 1394では、全てのノードがルートになる可能性がある。

1. 4 自己識別

ツリー識別の後、自己識別が行われる。自己識別においては、接続トポロジーにおいてルートノードから遠いノードから順にセルフIDパケットが転送される。

より具体的には、例えば図3において、まず、ルートノードBのポート1(番号の小さいポート)に接続されるノードAが、セルフIDパケット(自己識別パケット)を全てのノードにブロードキャストする。

次に、ルートノードBのポート2(番号が大きいポート)に接続されるノードCが選択され、このノードCのポート1(番号の小さいポート)に接続されるノードDがセルフIDパケットをブロードキャストする。次に、ノードCのポート2(番号の大きいポート)に接続されるノードEがセルフIDパケットをブロードキャストし、その後、ノードCがブロードキャストする。最後に、ルートであるノードBがセルフIDパケットをブロードキャストし、自己識別が完了する。

セルフIDパケットには各ノードのIDが含まれる。ブロードキャストを行う時点で他のノードから受け取ったセルフIDパケットの個数が、この各ノードのIDとなる。例えば図3では、ノードAがブロードキャストを行う時点では、どのノードもセルフIDパケットを発していないため、ノードAのIDは0になる。ノードAは、このID=0をセルフIDパケットに含ませてブロードキャストする。また、ノードDがブロードキャストを行う時点では、ノードAのみがセルフ

IDパケットを発している。このため、ノードDのIDは1になる。同様に、ノードE、C、BのIDは、各々、2、3、4になる。

図4AにセルフIDパケットのフォーマットを示す。同図に示すようにセルフIDパケットには各ノードの基本情報が含まれる。具体的には、各ノードのID(PHY_ID)、リンク層がアクティブか否か(L)、ギャップカウント(gap_cnt)、転送速度(sp)、アイソクロナスリソーススマネージャになれる能力を行するか否か(C)、電力状態(pwr)、ポートの状態(p0、p1、p2)などに関する情報が含まれる。

なお、図4Bに、ノードのポート数が4個以上の場合に使用されるセルフIDパケット#1、#2、#3のフォーマットを示す。ポート数が4～11個の場合にはセルフIDパケット#0(図4A)及び#1が、12～19個の場合にはセルフIDパケット#0、#1及び#2が、20～27個の場合にはセルフIDパケット#0、#1、#2及び#3が使用されることになる。

また、図4C、図4Dに、セルフIDパケットと同様に、物理層のパケット(PHYパケット)であるリンクオンパケット、PHY構成パケットのフォーマットを示す。

1.5 アイソクロナスリソーススマネージャ

アイソクロナスリソーススマネージャ(IRM)は以下の管理機能を行う。

第1に、アイソクロナス転送に必要な種々のリソースを提供する。例えば、チャネル番号レジスタや帯域幅レジスタを提供する。第2に、バスマネージャのIDを示すレジスタを提供する。第3に、バスマネージャがない場合に、簡易的なバスマネージャとなる役割を有する。

IRMになれる能力を有し(アイソクロナスリソースを管理する能力を有し)、且つ、動作状態になっている(リンク層がアクティブになっている)ノードの中で(IRMになれる資格を有するノードの中で)、ルートに最も近い(IDが最も大きい)ノードがIRMになる。より、具体的には、図4AのセルフIDパケットにおいて、IRMになれる能力を有するか否かを示すC(CONTENDER)ビットと、リンク層がアクティブか否かを示すL(LINK_ACTIVE)

ビットが共に 1 になっているノードの中で、ルートに一番近いノード (PHY_ID が一番大きいノード) が I RM になる。例えば、ルートノードのセルフ ID パケットの C ビットと L ビットが 1 の場合には、ルートノードが I RM になる。

1. 6 サイクルマスタ、バスマネージャ

サイクルマスタは、図 1 C に示すサイクルスタートパケットを送信する役割を有し、ルートノードがサイクルマスタになる。

バスマネージャは、トポロジーマップ（各ノードの接続状態）の作成、スピードマップの作成、バスの電力管理、サイクルマスタの決定、ギャップカウントの最適化などの仕事を行う。

1. 7 プロトコル構成

図 5 を用いて、IEEE 1394 のプロトコル構成（層構造）について説明する。

IEEE 1394 のプロトコルは、物理層、リンク層、トランザクション層により構成される。また、シリアルバスマネージメントは、物理層、リンク層、トランザクション層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

物理層は、リンク層により使用されるロジカルシンボルを電気信号に変換したり、バスの調停を行ったり、バスの物理的インターフェースを定義する。

リンク層は、アドレッシング、データチェック、データフレーミング、サイクル制御などを提供する。

トランザクション層は、リード、ライト、ロックなどのトランザクションを行うためのプロトコルを定義する。

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU 上で動作するファームウェアや、ハードウェアにより実現される。

2. 全体構成

次に、本実施形態の全体構成について図 6 を用いて説明する。

図 6において、PHY インターフェース 10 は、物理層のプロトコルを実現す

るPHYチップとのインターフェースを行う回路である。

リンクコア20(リンク手段)は、リンク層のプロトコルやトランザクション層のプロトコルの一部を実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ22は、これらのプロトコルを実現したリンクコア20を制御するためのレジスタである。

FIFO(ATF)30、FIFO(ITF)32、FIFO(RF)34は、各々、非同期送信用、アイソクロナス送信用、受信用のFIFOであり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらのFIFO30、32、34の段数は非常に少ない。例えば1つのFIFOの段数は、好ましくは3段以下であり、更に好ましくは2段以下となる。

DMAC40、42、44は、各々、ATF、ITF、RF用のDMAコントローラである。これらのDMAC40、42、44を用いることで、CPU66に介入されることなく、RAM80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC40、42、44などを制御するレジスタである。

ポートインターフェース50は、アプリケーション層のデバイス(例えばプリンタの印字処理を行うデバイス)とのインターフェースを行う回路である。本実施形態では、このポートインターフェース50を用いて、例えば8ビットのデータ転送が可能になっている。

FIFO(PF)52は、アプリケーション層のデバイスとの間でのデータ転送のためのFIFOであり、DMAC54は、PF用のDMAコントローラである。レジスタ56は、ポートインターフェース50やDMAC54を制御するレジスタである。

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYチップから送られてくるSCLKや、マスタークロックであるH

C L Kが入力される。

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、DRAMなどにより実現される。そして、本実施形態では、図7に示すように、このRAM80がヘッダ領域（広義には制御情報領域）とデータ領域に分離されている。そして、パケットのヘッダ（広義には制御情報）は図7のヘッダ領域に格納され、パケットのデータはデータ領域に格納される。

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

バス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス96（或いはバス98）はデータ転送制御装置をコントロールするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電気的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（例えばPHYチップ）に電気的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRAMに電気的に接続されるものである（第4のバス）。

バッファマネージャ70の調停回路74は、DMAC40、DMAC42、DMAC44、CPUインターフェース60、DMAC54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、98、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納す

るRAM80を設けると共に、互いに分離されるバス90、96、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

例えば図8に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYチップと接続される。また、リンクコア902は、FIFO904、906、908、CPUインターフェース910、バス920を介してCPU912に接続される。そして、CPU912は、バス924を介して、CPUにローカルなメモリであるRAM914に接続される。

なお、FIFO904、906、908は、図6のFIFO30、32、34と異なり、非常に段数の多いものとなる（例えば1つのFIFOが16段程度）。

図8の構成のデータ転送制御装置を用いた場合のデータ転送の手法について図9を用いて説明する。PHYチップ930を介して他のノードから送られてきた受信パケットは、バス922、データ転送制御装置932、バス920を介してCPU912が受け取る。そして、CPU912は、受け取った受信パケットをバス924を介してRAM914に書き込む。そして、CPU912は、受信パケットをアプリケーション層が使用できるように加工し、バス926を介してアプリケーション層のデバイス934に転送する。

一方、アプリケーション層のデバイス934からのデータを転送する場合には、CPU912は、このデータをRAM914に書き込む。そして、RAM914のデータにヘッダを付加することでIEEE1394に準拠したパケットを生成する。そして生成されたパケットは、データ転送制御装置932、PHYチップ930などを介して他のノードに送信される。

しかしながら、このようなデータ転送手法によると、CPU912の処理負荷が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、CPU912の処理のオーバーヘッドなどに起因して、システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

このような問題を解決する1つの手法として、図10に示すように、データ転

送制御装置 932 と RAM 914との間でのデータ転送や、RAM 914 とアプリケーション層のデバイス 934との間でのデータ転送を、ハードウェア DMA により実現する手法も考えられる。

しかしながら、この手法では、CPUバス 928 が、データ転送制御装置 932、RAM 914 間でのデータ転送、RAM 914、CPU 912 間でのデータ転送、RAM 914、アプリケーション層デバイス 934 間でのデータ転送に使用されることになる。従って、システム全体のデータ転送の高速化を図ろうすると、CPUバス 928 として PCI バスのような高速なバスを使用しなければならなくなり、これは、データ転送制御装置を使用する電子機器の高コスト化を招く。

これに対して、本実施形態では図 1 1 に示すように、データ転送制御装置 120、アプリケーション層デバイス 124 間のバス 90 と、CPUバス 96 と、データ転送制御装置 120、RAM 80 間のバス 110 とが互いに分離されている。従って、CPUバス 96 をデータ転送の制御のみに使用できるようになる。また、バス 90 を占有して、データ転送制御装置 120、アプリケーション層デバイス 124 間でデータ転送を行うことができるようになる。例えば、データ転送制御装置 120 が組み込まれる電子機器がプリンタである場合には、バス 90 を占有して印字データを転送できるようになる。この結果、CPU 66 の処理負荷を軽減でき、システム全体の実転送速度を高めることができる。また CPU 66 として安価なものを採用できると共に、CPUバス 96 として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

3. 受信パケットフォーマット

3. 1 本実施形態の特徴

本実施形態では、図 7 に示すように、RAM 80 の記憶領域を、パケットのヘッダ（広義には制御情報）が格納されるヘッダ領域（広義には制御情報領域）とパケットのデータが格納されるデータ領域に分離している。

例えば図 8 の比較例では、CPU 912 は、受信した順序で FIFO 908 か

ら受信パケットを受け取らなければならない。従って、受信パケットをヘッダとデータに分離する処理を実現しようとすると、FIFO908から読み出した受信パケットをCPU912がローカルメモリであるRAM914に一旦書き込み、そのRAM914からCPU912が受信パケットを読み出してヘッダとデータに分離する必要がある。従って、CPU912の処理負荷が非常に重くなり、これは結局、システム全体の実転送速度の低下という事態を招く。

これに対して、図6の本実施形態では、RAM80の記憶領域がヘッダ領域とデータ領域に分離される。より具体的には、図12に示すように、各受信パケットのヘッダとデータがハードウェアにより分離され、ヘッダがヘッダ領域に、データがデータ領域に格納される。従って、CPU66の処理負荷が図8に比べて非常に軽くなり、システム全体の実転送速度を向上できる。また、CPU66として安価なものを採用できると共にCPU66に接続されるバスも低速なもので済むため、データ転送制御装置や電子機器の小規模化、低コスト化を図れるようになる。

また、本実施形態によれば、ヘッダはヘッダ領域にまとめられて格納され、データもデータ領域にまとめられて格納される。従って、ヘッダやデータの読み出し処理や書き込み処理の簡易化を図ることができ、処理のオーバーヘッドを軽減化できる。例えば、図11の手法でデータ転送を行う場合には、CPU66は、CPUバス96を介してヘッダ領域にのみアクセスしヘッダを読み出したり書き込んだりするだけでデータ転送を制御できるようになる。また、アプリケーション層のデバイス124は、データ領域のデータを連続してバス90を介して読み出したり、データを連続してデータ領域に書き込んだりすることが可能になる。

そして、本実施形態では、図13に示すように、ヘッダ領域に格納される各ヘッダと、データ領域に格納される各データとを、ヘッダに含ませたデータポインタにより対応させている。このデータポインタの付加は以下のようにして実現する。

即ち図14に示すように、本実施形態では、リンクコア20がパケット整形回路160を含み、DMAC44（広義には書き込み手段）がパケット分離回路1

80を含む。ここでパケット整形回路160は、各ノードから転送されてきたパケットを上層（例えばトランザクション層、アプリケーション層）が使用できるように整形する。また、パケット分離回路180は、パケットを分離し、パケットのヘッダやトレイラー（フッター）をRAM80のヘッダ領域に書き込み、パケットのデータをRAM80のデータ領域に書き込むための処理を行う。

パケット分離回路180は、データ領域に書き込まれるデータのアドレス（先頭アドレス）を指すデータポインタをパケット整形回路160に渡す。データポインタを渡されたパケット整形回路160は、そのデータポインタをパケットのヘッダに付加する（埋め込む）。そして、データポインタが付加されたヘッダは、図13に示すようにヘッダ領域に格納され、そのデータポインタが指すデータは、データ領域に格納される。この場合、ヘッダやデータを書き込むアドレスWADRはパケット分離回路180が発生することになる。

以上のようにすることで、ヘッダ領域からヘッダを読み出したファームウェアなどが、そのヘッダに対応するデータのデータ領域での格納アドレスを容易に知ることができるようになる。また、データポインタの付加は、パケット整形回路160により行われ、DMAC44（パケット分離回路180）はこれに関与する必要がない。従って、DMAC44がRAM80へのデータ書き込み処理に専念できるようになり、DMAC44の回路構成や処理を簡素化できるようになる。

また、本実施形態では、図15に示すように、受信パケットのスタート（ヘッダの最初）、ヘッダ、データ、トレイラーを区別するためのTAGを生成し、このTAGを受信パケットに関連づけている。より具体的には、図14において、リンクコア20が、受信パケットのスタート（ヘッダの最初）、ヘッダ、データ、トレイラーをRDとして FIFO34に転送する際に、図15に示す2ビットのTAGも同時に FIFO34に出力する。そして、本実施形態では、受信パケットに関連づけられたこのTAGを利用して、図12に示すように、受信パケットをヘッダとデータに分離しヘッダ領域とデータ領域に格納している。より具体的には、図14において、DMAC44のパケット分離回路180が、受信パケットと共に FIFO34から出力されるDTAG（=TAG）を判別し、この判別

結果に基づいて受信パケットをヘッダとデータに分離し、RAM80に書き込んでいる。なお、TAGは、少なくともヘッダとデータを区別できるものであればよい。

例えば、TAGを利用せずに受信パケットのヘッダとデータを分離する手法として、ヘッダに含まれるt code（トランザクションコード）を利用する手法が考えられる。即ち、t codeをデコードして、ヘッダのサイズを調べ、そのサイズの分だけ受信パケットをヘッダ領域に格納し、残りをデータ領域に格納する。

しかしながら、この手法では、t codeをデコードする回路が必要となり、回路が大規模化してしまう。

これに対して、TAGを利用していれば、DMAC44は、TAGを見るだけで受信パケットをヘッダとデータに分離できる。従って、回路をそれほど大規模化することなく、簡易な処理で受信パケットのヘッダとデータを分離できるようになる。

なお、本実施形態では図16に示すように、RAM80のヘッダ領域を、受信用、送信用の領域に分離することが望ましい。また、データ領域を、受信用、送信用の領域に分離したり、アイソクロナス転送用、非同期転送用の領域に分離するようにしてもよい。また、ヘッダ領域とデータ領域の他に、これらの領域と分離されたCPU66のワーク領域を設けることが望ましい。

更に、RAM80の記憶領域が複数の領域に分離される場合には、各領域のサイズを可変に制御することが望ましい。より具体的には図16に示すように、各領域の境界のアドレスを指すポインタP1～P6を可変に制御する。このようすれば、アプリケーションに応じた最適な領域分割を実現できる。この場合、RAM80の各領域のサイズは、電源投入後もダイナミックに可変制御できることが望ましい。このようにすれば、受信処理の際には受信用の領域を広くし、送信処理の際には送信用の領域を広くすることが可能になり、限られたリソースを有効利用できるようになる。

また、本実施形態では、図17Aに示すように、バスに接続される全てのノー

ドに対して送信されたパケットか否かを示すBC（広義にはブロードキャスト情報）を、パケット整形の際に、パケットの例えはトレイラー（広義には制御情報）に付加する。

即ち、IEEE 1394の非同期転送では、転送先のノードを指定するために、パケットに対して16ビットのデスティネーションID（Dest ID）を含ませる。そして、図17Bに示すように、リンクコア（リンク層）は、他ノード宛のパケットについては上層のファームウェア（トランザクション層）に伝えないようにする。このようにすることで、16ビットのDest IDをデコードするなどの無駄な処理をファームウェアが行うのを防止できる。

しかしながら、パケットに含まれるDest IDが $0 \times 3F$ である場合には、そのパケットは全てのノードにブロードキャストされたものになる。従って、リンクコアは、そのパケットを上層のファームウェアに伝えることになる。このため、結局、ファームウェアは、そのパケットのDest IDをデコードして、ブロードキャストされたものか否かを判断しなければならなくなる。

そこで、本実施形態では、図17Cに示すように、Dest IDが $0 \times 3F$ である場合には、ブロードキャスト情報であるBCを1にする。一方、図17Dに示すように、Dest IDが $0 \times 3F$ でない場合には、BCを0にする。このようにすれば、ファームウェアは、1ビットのBCの値を調べるだけで、そのパケットがブロードキャストされたものか否かを判断できるようになる。即ち、ファームウェアは、16ビットのDest IDをデコードしなくとも、そのパケットがブロードキャストされたものか否かを判断できるようになる。従って、ファームウェアはDest IDをデコードしなくてよくなり、ファームウェアの処理負担を軽減できる。この結果、システム全体の実転送速度を向上できるようになる。

また、本実施形態では、図18Aに示すように、パケットの例えはヘッダーにエラーがあったか否かを示すHCE（広義にはエラーステータス情報）を、パケット整形の際に、パケットの例えはトレイラー（広義には制御情報）に付加する。

このようにすれば、ファームウェアは、1ビットのHCEの値を調べるだけで、そのパケットにエラーがあったか否かを判断できるようになる。即ち、ファーム

ウェアは、32ビットのヘッダCRCをデコードしなくても、そのパケットにエラーがあったか否かを判断できるようになる。この結果、ファームウェアの処理負担を軽減でき、システム全体の実転送速度を向上できるようになる。

なお、パケットにエラーがあると判断された場合には、データ領域に書き込まれた当該パケットのデータを無効にすることが望ましい。より具体的には、図18Bにおいて、データ3を含むパケットにエラーがあると判断された場合には(HE=1)、データポイントDPを、データ3が格納されている領域の先頭アドレスに戻す。このようにすることで、データ領域でのデータの連続性を維持できる。即ち、データ領域に、正しいデータのみを連続して格納できるようになり、アプリケーションソフトがデータ領域から連続して正しいデータを読み出すことが可能になる。また、パケットにエラーがあったか否かをファームウェアがHEにより確認し、ファームウェアが相手ノードに対してパケットの再送信を要求できるようになる。このように本実施形態によれば、ファームウェアやアプリケーションソフトの処理負担を軽減でき、システム全体の実転送速度を向上できるようになる。

なお、エラーステータス情報としては、ヘッダCRCエラーの他にも、データCRCエラーなどを考えることもできる。

さて、図19に示すように、セルフID期間においては、バスに接続される全てのノードからセルフIDパケットが送られてくる。そして、各セルフIDパケットの第1クワドレットは、ノードIDなどの基本情報が含まれるデータ本体(ボディ)になっており、第2クワドレットは、第1クワドレットの反転であるバリティ(エラーチェック情報)になっている(詳しくは、図4A参照)。

例えば図8の構成のデータ転送制御装置では、これらの一連のセルフIDパケットを図20Aに示すように整形する。即ち、物理層のパケットであるセルフIDパケットに対して、上層(トランザクション層やアプリケーション層)にインターフェースするためのヘッダを付加するというパケット整形が行われる。そして、整形されたパケットは、CPU912のローカルメモリであるRAM914に格納される。

しかしながら、セルフ ID パケットは、ノード数に応じた個数だけ必要であり、バスに 63 個のノードが接続されると、例えば最小で 63 個のセルフ ID パケットを保持する必要がある。即ち、セルフ ID パケットの個数は、通常、非常に多い。従って、これらのセルフ ID パケットにヘッダを付加し、そのまま RAM に格納すると、RAM の空き容量が圧迫されてしまい、各ノードのリソースを有効利用できなくなってしまう。また、それぞれのセルフ ID パケットを受け取る毎に、ファームウェアは必要な処理を行わなければならぬ。従ってセルフ ID パケットの個数が増加すると、ファームウェアの処理負担が増加する。更に、セルフ ID 期間が終了した後、即ちバスリセットが発生してから最初のアービトレーション・リセット・ギャップが発生した後には、その受け取ったセルフ ID パケットの整形作業が必要になる。従って、セルフ ID パケットの個数が増加すると、この整形作業の処理負担も増加する。

そこで、本実施形態では図 20B に示すように、転送されてくる一連のパケットを、ヘッダ（広義には制御情報）と、一連のセルフ ID パケットからなるデータによりフレームが構成されるパケットに整形している。つまり、一連のセルフ ID パケットを 1 つにパッケージングし、このパッケージングされたものに 1 つのヘッダを付加し、上層にインターフェースしている。

このようにすることで、本実施形態では、パケット記憶手段である RAM（図 6 の RAM 80）の空き容量が圧迫される事態を効果的に解消することに成功している。また、本実施形態では、セルフ ID パケットが N 個あった場合にも、整形後のパケットは 1 個になる。従って、整形後のパケットを RAM から読み出すためには、1 回のパケット読み出しを行えば済むようになる。従って、ファームウェアなどの処理負担を格段に軽減できる。

更に本実施形態では、図 20B に示すように、セルフ ID 期間に受信したパケットか否かを示すステータス情報である BR を、パケットのトレイラー（広義には制御情報）に附加している。

即ち、図 4A～図 4D に示すように、物理層が扱う PHY パケットには、セルフ ID パケットの他にリンクオンパケットと PHY 構成パケットがある。そして

本実施形態では、セルフ ID パケットと他のPHYパケット（リンクオンパケット、PHY構成パケット）とをファームウェアなどが容易に区別できることが望ましい。セルフ ID パケットにはデータポインタなどが付加されており、セルフ ID パケットと他のPHYパケットとではファームウェアの取り扱いが異なったものになるからである。

ところが、パケットの種類を区別するための情報として IEEE1394において規格化されている `code` を用いても、処理対象となるパケットが、PHYパケットの中のどのパケットなのかを区別できない。

本実施形態によれば、図20Bに示すようにパケットのトレイラーに、セルフ ID期間に受信したパケットか否かを示すBRが付加される。このため、セルフ ID パケットと他のPHYパケットとをファームウェア等が容易に区別できるようになり、処理負荷を軽減できる。

なお、本実施形態では、セルフ ID パケットの第2クワドレットのパリティを削除し、このパリティが削除されたセルフ ID パケット（セルフ ID パケットのデータ本体）の並びにより、整形後のパケットのデータ部分を構成するようになることが望ましい。このようにすることで、整形後のパケットのサイズを、パリティを削除しない場合に比べて半分程度にすることができ、セルフ ID パケットの記憶に必要なRAMの使用容量を更に節約できる。

さて、図1Aで説明したように、非同期転送でデスティネーションノードがパケットを受信すると、デスティネーション（転送先）ノードはソース（転送元）ノードに対してACKを返す。その一方で、デスティネーションノードのリンクコアは、受信したパケットに対して、ソースノードに返したACKを付加する。これにより、ソースノードに返したACKをファームウェアなどの上層に伝えることができる。より具体的には、図14のパケット整形回路160が、図21Aに示すようにトレイラーにACKを付加する。このACKは4ビットのコードであり、このコードにより、アクノリッジコンプリート、アクノリッジベンディング、アクノリッジビジー、アクノリッジエラーなどの状態を知ることができる。

しかしながら、図21Aでは、パケット整形の際に、時系列で後ろ側にあるト

レイラーにACKが付加され、RAMにおいても、ヘッダの後ろ側にACKが書き込まれる。従って、ファームウェアがACKを確認する場合には以下のような処理を行わなければならない。即ち、まずファームウェアは、ヘッダの先頭側にある4ビットの`code`をデコードし、ヘッダのサイズを調べる。そして、そのヘッダのサイズに基づきACK(トレイラー)が格納されるアドレスを算出し、ACKを読み出す。従って、ファームウェアがACKを確認するための処理は負荷が重く、システム全体の実転送速度の向上の妨げとなる。特に、アクノリッジエラーの場合などは、ACKを確認するために行った処理が全て無駄なものになってしまう。

そこで、本実施形態では、図21Bに示すように、パケット整形において時系列でパケットの後ろ側に付加されたACKなどの所与の情報を、RAMにおいて、パケットのヘッダの先頭側(例えば先頭の第1クワドレット)に書き込むようにしてもよい。このようにすれば、ファームウェアは、`code`をデコードすることなく、ACKなどの所与の情報を確認できるようになる。ACK等がヘッダの先頭側に格納されており、ヘッダのサイズなどを`code`で調べる必要がないからである。

なお、ヘッダ長(ヘッダのサイズ)を固定にし、ACKなどの所与の情報をヘッダ領域に書き込むようにしてもよい。このようにヘッダ長を固定にすれば、ヘッダ領域中の任意の固定長ヘッダの任意のクワドレットにACKなどの所与の情報を格納したとしても、ファームウェアは、上記所与の情報に簡単にアクセスできるようになるからである。また、この場合に、ヘッダ領域中の任意の固定長ヘッダの先頭クワドレット又は最終クワドレットに、上記所与の情報を格納することが更に望ましい。このようにすれば、固定長ヘッダの先頭又は最終クワドレット以外に上記所与の情報を格納する場合に比べて、ヘッダ内のデータの連続性を維持できるからである。

また、上記所与の情報としては、ACK(ソースノードに返したアクノリッジメント情報)以外にも、`spd`(データ転送の速度を特定するためのスピードコード情報)、`BC`(バスに接続される全てのノードに対して送信されたパケット

か否かを示すブロードキャスト情報)、B R (セルフ I D 期間に受信したパケットか否かを示す情報)、H C E (パケットにエラーがあったか否かを示すエラーステータス情報)など、種々のものを考えることができる。

3. 2 構成

図22に、リンクコア20、FIFO34、DMAC44の詳細な構成の一例を示す。

リンクコア20は、バス監視回路130、直列・並列変換回路132、パケット整形回路160を含む。そして、パケット整形回路160は、パケット診断回路142、シーケンサ167、バッファ168、セレクタ170を含み、パケット診断回路142は、TAG生成回路162、ヘッダ&トレイラー生成回路164、エラーチェック回路166を含む。

ここで、バス監視回路130は、PHYインターフェース10を介してPHYチップに接続される8ビット幅のデータバスD、2ビット幅のコントロールバスCTLを監視する回路である。

直列・並列変換回路132は、データバスDのデータを32ビットのデータに変換する回路である。例えば、転送速度が400Mbpsの場合には8ビットのデータが32ビットのデータに、200Mbpsの場合には4ビットのデータが32ビットのデータに、100Mbpsの場合には2ビットのデータが32ビットのデータに変換される。

パケット診断回路142は、パケットの診断を行う回路である。TAG生成回路162は、ヘッダ、データ、トレイラーなどを区別するためのTAGを生成する回路であり、ヘッダ&トレイラー生成回路164は、ヘッダ及びトレイラー(フッター)を生成する回路である。また、エラーチェック回路166は、パケットに含まれるバリティなどのエラーチェック情報をチェックしてエラーを検出する回路である。

シーケンサ167は各種の制御信号を生成するものである。バッファ168、セレクタ170は、直列・並列変換回路132からのDI、パケット診断回路142からのヘッダ及びトレイラー、DMAC44からのデータポインタのいずれ

かを、パケット診断回路142からの信号SELにより選択するためのものである。

FIFO34は、リンクア20からの出力データであるRDの位相と、RAM80への書き込みデータであるW DATAの位相とを調整するためのバッファとして機能するものであり、FIFO状態判断回路35を含む。FIFO状態判断回路35は、FIFOが空になると、EMPTYをアクティブにし、FIFOがフルになると、FULLをアクティブにする。

DMAC44(書き込み手段)は、パケット分離回路180、アクセス要求実行回路190、アクセス要求発生回路192を含む。

パケット分離回路180は、パケット整形回路160により整形されたパケットを分離して、ヘッダ及びトレイラーをRAM80のヘッダ領域に、データをデータ領域に書き込むための回路である(図12参照)。パケット分離回路180は、TAG判別回路182、ポインタ更新回路184、アドレス発生回路188を含む。

TAG判別回路182は、TAG生成回路162により生成されたTAG(DTAG)を判別する回路である。

ポインタ更新回路184は、TAG判別回路182の出力を受け、RAM80にヘッダやデータを書き込むためのヘッダポインタ(広義には制御情報ポインタ)やデータポインタを更新するための回路である。

アドレス発生回路188は、ポインタ更新回路184の出力を受け、RAM80への書き込みアドレスWADRを発生する回路である。

アクセス要求実行回路190は、リンクア20からのアクセス要求を実行するための回路である。アクセス要求実行回路190は、FIFO状態判断回路35からのFULLがアクティブになると、FFULLをアクティブにする。パケット整形回路160内のシーケンサ167は、FFULLがアクティブでないことを条件に、RD(RxDATA)のストローブ信号であるRDSをアクティブにする。

なおRFAILは、受信における失敗を、シーケンサ167がアクセス要求実

行回路 190 に対して知らせるための信号である。

アクセス要求発生回路 192 は、RAM80へのアクセス要求を発生するための回路である。アクセス要求発生回路 192 は、バッファマネージャ 70 からの書き込みアクノリッジメントである WACK や FIFO 状態判断回路 35 からの EMPTY を受け、書き込み要求である WREQ をバッファマネージャ 70 に出力する。

3. 3 受信側の動作

次に、本実施形態の動作の詳細について図 23 のタイミング波形図などを用いて説明する。

まず、リンクコア 20 の動作について説明する。

PHY チップを介して他のノードからのパケットを受信すると、パケット診断回路 142 がそのパケットを診断する。そして、ヘッダ & トレイラー生成回路 164 がヘッダを生成（整形）する。このヘッダは、バッファ 168 を介してセレクタ 170 に入力され、パケット診断回路 142 からの信号 SEL に基づきセレクタ 170 がこのヘッダを選択する。これにより、図 23 の A1 に示すように、RD としてヘッダ (H0 ~ H4) が FIFO34 に出力されることになる。

なお、図 24A に、シリアルバス上で転送される非同期パケットのフォーマット (IEEE1394 規格) を示す。一方、図 24B に、RAM80 のヘッダ領域に格納される非同期受信パケットのヘッダ部分のフォーマットを示す（同図において網掛けとなっている部分がトレイラーである）。このように本実施形態では、図 24A に示すフォーマットのパケットを、ファームウェアなどの上層が使用できるように、図 24B に示すフォーマットのパケットに整形している。

また本実施形態では、ヘッダの第 4 クワドレットである H4 (図 23 の A2) は、図 24B に示すようにデータ領域からデータを取り出すためのデータポインタになっている。このデータポインタ (H4) は、DMAC44 (ポインタ更新回路 184) からバッファ 168 を介してセレクタ 170 に入力され、セレクタ 170 がこれを選択する。このように、パケット整形回路 160 は、DMAC44 からデータポインタを受け取り、そのデータポインタを、RAM80 に書き込

まれるヘッダに埋め込んでいる。

次に、PHYチップから、データバスDを介してパケットのデータ部分が送られてくる。直列・並列変換回路132は、このデータ部分を32ビットのデータであるDIに変換し、パケット診断回路142及びバッファ168に出力する。

なお、DIEは、DIが有効か無効かを示す信号であり、DISは、DIの取り込みタイミングを知らせるためのストローブ信号である。

直列・並列変換回路132からのDIは、バッファ168を介してセレクタ170に入力され、セレクタ170がこれを選択する。これにより、A3に示すように、RDとしてデータD0～DnがFIFO34に出力される。

次に、ヘッダ&トレイラー生成回路164からのトレイラーがバッファ168を介してセレクタ170に入力され、セレクタ170がこれを選択する。これにより、A4に示すように、RDとしてトレイラー(H5。図24Bの網掛け部分)がFIFO34に出力される。

さて、TAG生成回路162は、RDとして出力される情報を区別するためのTAGを生成している。本実施形態では図15に示すようにTAGは2ビットであり、(00)、(01)、(10)、(11)は、各々、ヘッダ、トレイラー、データ、スタート(ヘッダの最初)を表す。従って、例えば図23では、(11)、(00)、…、(10)、…、(01)というようにTAGが変化する。FIFO34には、この2ビットのTAGと32ビットのRDとからなる34ビットのデータが入力されることになる。

次に、FIFO34の動作について説明する。

FIFO34は、リンクコア20からのTAG、RDを受け、A5、A6に示すように、DTAG、WDATAとして出力する。

FIFO34内のFIFO状態判断回路35は、内蔵するカウンターにより、FIFO34のデータ数(FIFOカウント)をカウントする。そして、FIFO34がフル(データ数=2)になった場合には、図23のA7に示すようにFULLをアクティブ(Hレベル)にする。また、FIFO34が空(データ数=0)になった場合には、A8に示すようにEMPTYをアクティブにする。FI

FIFO34がフルになったことは、FULL、FFULLにより、DMA44内のアクセス要求実行回路190やリンクコア20内のシーケンサ167に伝えられる。また、FIFO34が空になったことは、EMPTYにより、DMA44内のアクセス要求発生回路192に伝えられる。

次に、DMA44の動作について説明する。

アクセス要求発生回路192は、A9に示すようにEMPTYが非アクティブ(Lレベル)になったこと(FIFO34が空でないこと)を条件に、A10に示すようにWREQをアクティブにする。そして、バッファマネージャ70からWACKを受け取ると、WREQを非アクティブにする。

さて、本実施形態では、受信時のバス調停においては、DMA44からのアクセス要求の優先順位を最も高くしている。従って、A10、A11に示すように、DMA44からのWREQと、CPUインターフェース60やポート用のDMA54からのOtherWREQとが競合した場合には、WREQの方が優先する。即ち、A12、A13に示すように、WACKの方がOtherWACKよりも先にアクティブになる。このように、WREQとOtherWREQが競合した場合に、WREQの方を優先させるのは、以下の理由による。即ち、IEEE1394では、SCSIなどとは異なり、他のノードからのパケットが転送クロックに同期して次々に転送されてくる。従って、これらの間断なく転送されてくるパケットを優先してRAM80に次々に格納する必要があるからである。

また、本実施形態では、CPUインターフェース60やポート用のDMA54からのアクセス要求をバッファマネージャ70が受け付けている間は、A14に示すように、DMA44のアクセス要求は所持の期間だけ待たされる。従って、リンクコア20からのRDと、バッファマネージャ70へのWDATAとは同期しない。この理由により、本実施形態では、RDとWDATAの位相を調整するためのFIFO34を設けている。この場合、FIFO34は、位相調整のために必要な最低限の段数(好ましくは3段以下、更に好ましくは2段以下)を備えていればよい。

パケット分離回路180に含まれるTAG判別回路182は、WDATAと共にFIFO34から出力されるDTAGを判別し、WDATAが、スタート(ヘッダの最初)、ヘッダ、データ、トレイラーのいずれなのかを判定する。そして、ポインタ更新回路184は、この判定結果に基づいて、ヘッダポインタやデータポインタの更新を行う。次に、アドレス発生回路188は、更新されたヘッダポインタやデータポインタに基づいて、WDATAの書き込みアドレスであるWADRを発生する。

より具体的には、例えば、WDATAがスタート又はヘッダであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、図25Aに示すように、ヘッダポインタHPのインクリメント(広義には更新)を行う。そして、アドレス発生回路188は、図23のA15に示すように、インクリメントされるヘッダポインタに応じたWADRを発生する。

次に、WDATAがデータであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、図25Bに示すように、データポインタDPのインクリメントを行う。このデータポインタDPは、パケット整形回路160によりヘッダの第4クワドレットに埋め込まれたH4に相当する。アドレス発生回路188は、図23のA16に示すように、インクリメントされるデータポインタに応じたWADRを発生する。

次に、WDATAがトレイラーであるとDTAGに基づき判定された場合は、ポインタ更新回路184が、図25Cに示すように、ヘッダポインタのインクリメントを行う。そして、アドレス発生回路188は、図23のA17に示すように、インクリメントされるヘッダポインタに応じたWADRを発生する。

なお、最終的には図25Dに示すように、ヘッダポインタは、処理対象となつたパケットのヘッダ部分の下側の境界(次のパケットのヘッダ部分の上側の境界)を指すようになる。また、データポインタは、パケットのデータ部分の下側の境界(次のパケットのデータ部分の上側の境界)を指すようになる。ヘッダポインタやデータポインタの最終位置は、受信に失敗がなかった(RFALが非アクティブ)ことを条件に、図6のレジスタ46内のヘッダポインタ設定レジスタや

データポインタ設定レジスタにリストアされる。

以上のようにして、パケットを分離してヘッダ領域とデータ領域に書き込むことが可能になる。

なお、ヘッダ領域とデータ領域の境界などの、RAM 80を分離する領域の境界（図16のP1～P6）の設定は、CPUインターフェース60を介してCPU66（ファームウェア等）が、図6のレジスタ46に含まれるポインタ設定レジスタに対して、境界のアドレスを指すポインタを設定することで実現される。

また、データ領域が複数の領域に分離される場合（例えば図16に示すようにアイソクロナス転送用と非同期転送用の領域に分離される場合、或いは第1、第2の非同期転送用の領域に分離される場合等）には、例えばtcodeなどのパケットの制御情報に基づき、分離された複数の領域のいずれかにパケットのデータを書き込むようになることが望ましい。

より具体的には、図22に示すように、DMAC44が、複数のデータポインタ、例えば第1、第2のデータポインタをパケット整形回路160に対して渡すようとする（3個以上のデータポインタを渡してもよい）。そして、パケット整形回路160は、例えば、アイソクロナス転送時（或いは第2の非同期転送時）にはDMAC44からの第1のデータポインタを選択し、非同期転送時（或いは第1の非同期転送時）にはDMAC44からの第2のデータポインタを選択するようとする。即ち、パケット整形回路160内のパケット診断回路142が、tcodeなどのパケットの制御情報に基づいて、アイソクロナス転送か非同期転送か（或いは第2の非同期転送か第1の非同期転送か）を判別し、この判別結果に基づき信号SELを制御する。そして、バッファ168を介してセレクタ170に入力される第1、第2のデータポインタのいずれかを選択するようとする。これにより、アイソクロナス転送（或いは第2の非同期転送）のパケットには第1のデータポインタが埋め込まれ、非同期転送（或いは第1の非同期転送）のパケットには第2のデータポインタが埋め込まれるようになる。この結果、データ領域を分離する特定の領域に、連続的にデータを格納することが可能になる。即ち、デジタルカメラにおける動画像データをアイソクロナス転送用データ領域に連続

的に格納したり、プリンタにおける印字データを第2の非同期転送用データ領域に連続的に格納したりすること（第1の非同期転送用データ領域にはコマンドデータ、ステータスデータなどの制御用データを格納する）が可能になる。

また、本実施形態では図24Bに示すように、ヘッダの後ろ側に、spd（データ転送の速度を特定するためのスピードコード情報）、BC（バスに接続される全てのノードに対して送信されたパケットか否かを示すブロードキャスト情報）、HCE（パケットにエラーがあったか否かを示すエラーステータス情報）、ACK（ソースノードに返したアクノリッジメント情報）が付加される。これらのspd、BC、HCE、ACKは、図22のリンクコア20内のヘッダ&トレーラー生成回路164により生成され、バッファ168、セレクタ170の機能により付加される。

また、図22のエラーチェック回路166は、受信パケットのヘッダーCRCをチェックし、受信パケットのヘッダにエラーがあった場合には、HCEを1に設定する。そして、HCEが1になると、RFAILがアクティブになる。そして、RFAILがアクティブになると、データポインタの最終位置（図25DのH4+(n+1)）は、図6のレジスタ46内のデータポインタ設定レジスタにリストアされない。これにより、図18Bで説明した、データポインタDPを元に戻しデータ3を無効にする処理が実現される。

また、図26Aに、パケットがセルフIDパケットである場合に、RAM80のヘッダ領域に格納されるヘッダ部分のフォーマットを示し、図26Bに、パケットがセルフIDパケット以外のPHYパケットである場合に、ヘッダ領域に格納されるヘッダ部分のフォーマットを示す。

パケットがセルフID期間中のセルフIDパケットである場合には、図26Aに示すように、セルフID期間に受信したパケットか否かを示す情報であるBRが1となる。一方、セルフID期間外のリンクオンパケットやPHY構成パケットである場合には、図26Bに示すようにBRが0になる。このようにすることで、.tcodeと同じ0xEであっても、ファームウェアはこれらのパケットを区別できるようになる。

なお、図24B、図26A、図26Bでは、spd、BC、HCE、ACK、BRを、ヘッダの後ろ側に付加しているが、図21Bで説明したように、これらのspd、BC、HCE、ACK、BRを、ヘッダの先頭側に付加するようにしてもよい。

4. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

例えば図27Aに電子機器の1つであるプリンタの内部ブロック図を示し、図28Aにその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM518はCPU510のワーク領域として機能する。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

PHYチップ502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッダなどからなる印字部(データを出力するための装置)514により紙に印字されて出力される。

図27Bに電子機器の1つであるスキャナの内部ブロック図を示し、図28Bにその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM528はCPU520のワーク領域として機能する。

光源、光電変換器などからなる画像読み取り部(データを取り込むための装置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部524により処理される。そして、処理後の画像データがバス505を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、この画像データにヘッダなどを付加することでパケットを生成し、PHYチップ502を介してパーソナルコンピュータなどの他のノードに送信する。

図27Cに電子機器の1つであるCD-Rドライブの内部ブロック図を示し、図28Cにその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-Rをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM538はCPU530のワーク領域として機能する。

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533によりCD-R532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYチップ502を介してパーソナルコンピュータなどの他のノードに送信する。

一方、PHYチップ502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-R532に記憶される。

なお、図27A、図27B、図27Cにおいて、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見ることができるようになる。また、CD-Rからのデータの読み取りや、CD-Rへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

また本実施形態のデータ転送制御装置を電子機器に用いることで、C P U上で動作するファームウェアの処理負荷が軽減され、安価なC P Uや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（C D R O M、D V D）、光磁気ディスクドライブ（M O）、ハードディスクドライブ、T V、V T R、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明のデータ転送制御装置の構成は、図6に示す構成が特に望ましいが、これに限定されるものではない。特に、ブロードキャスト情報やエラーステータス情報や自己識別期間に受信したパケットか否かを示す情報を、パケットの制御情報に付加する発明や、時系列で後ろ側にある所与の情報をパケットの制御情報の先頭側に書き込む発明では、図6のみならず、図8などの種々の構成を採用することができる。

また、本発明は、I E E E 1 3 9 4規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばI E E E 1 3 9 4と同様の思想に基づく規格やI E E E 1 3 9 4を発展させた規格におけるデータ転送にも本発明は適用できる。

請 求 の 範 囲

1. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、

整形されたパケットの制御情報をランダムアクセス可能な記憶手段の制御情報領域に書き込み、整形されたパケットのデータを前記記憶手段のデータ領域に書き込むパケット分離手段とを含み、

前記パケット分離手段が、

前記データ領域に書き込まれるデータのアドレスを指すデータポインタを前記パケット整形手段に渡し、

前記パケット整形手段が、

前記パケット分離手段から渡された前記データポインタをパケットの制御情報に付加することを特徴とするデータ転送制御装置。

2. 請求項1において、

前記パケット整形手段が、

パケットの少なくとも制御情報とデータを区別するためのタグ情報を生成すると共に、生成された該タグ情報をパケットに関連づけ、

前記パケット分離手段が、

パケットに関連づけられた前記タグ情報に基づいて、パケットの制御情報を前記制御情報領域に書き込み、パケットのデータを前記データ領域に書き込むことを特徴とするデータ転送制御装置。

3. 請求項2において、

前記パケット分離手段が、

パケットの制御情報が書き込まれていると、パケットに関連づけられた前記タグ情報に基づき判断した場合には、前記制御情報領域に書き込まれる制御情報のアドレスを指す制御情報ポインタを更新し、パケットのデータが書き込まれていると、前記タグ情報に基づき判断した場合には、前記データ領域に書き込まれる

データのアドレスを指すデータポインタを更新することを特徴とするデータ転送制御装置。

4. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、

整形されたパケットを記憶手段に書き込む書き込み手段とを含み、

前記パケット整形手段が、

バスに接続される全てのノードに対して送信されたパケットか否かを示すブロードキャスト情報を、パケットの制御情報に付加することを特徴とするデータ転送制御装置。

5. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、

整形されたパケットを記憶手段に書き込む書き込み手段とを含み、

前記パケット整形手段が、

パケットにエラーがあったか否かを示すエラーステータス情報を、パケットの制御情報に付加することを特徴とするデータ転送制御装置。

6. 請求項5において、

整形されたパケットの制御情報を前記記憶手段の制御情報領域に書き込み、整形されたパケットのデータを前記記憶手段のデータ領域に書き込むパケット分離手段を含み、

パケットにエラーがあると判断された場合には、前記データ領域に書き込まれた該パケットのデータを無効にすることを特徴とするデータ転送制御装置。

7. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてきたパケットを上層が使用できるように整形するパケ

ット整形手段と、

整形されたパケットを記憶手段に書き込む書き込み手段とを含み、

前記パケット整形手段が、

自己識別期間に受信したパケットか否かを示す情報を、パケットの制御情報に付加することを特徴とするデータ転送制御装置。

8. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

各ノードから転送されてきたパケットを上層が使用できるように整形するパケット整形手段と、

整形されたパケットを記憶手段に書き込む書き込み手段とを含み、

前記パケット整形手段が、

各ノードから転送されてきたパケットに対して時系列で後ろ側に所与の情報を付加し、

前記書き込み手段が、

前記所与の情報を、前記記憶手段においてパケットの制御情報の先頭側に書き込むことを特徴とするデータ転送制御装置。

9. 請求項8において、

前記所与の情報が、

パケットの転送元に返したアクノリッジメント情報、データ転送の速度を特定するためのスピードコード情報、バスに接続される全てのノードに対して送信されたパケットか否かを示すブロードキャスト情報、自己識別期間に受信したパケットか否かを示す情報、及びパケットにエラーがあったか否かを示すエラーステータス情報の少なくとも1つであることを特徴とするデータ転送制御装置。

10. 請求項1において、

後段のアプリケーションに接続される第1のバスと、

該データ転送制御装置をコントロールする第2のバスと、

物理層のデバイスに電気的に接続される第3のバスと、

前記記憶手段に電気的に接続される第4のバスと、

前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

1 1. 請求項4において、

後段のアプリケーションに接続される第1のバスと、
該データ転送制御装置をコントロールする第2のバスと、
物理層のデバイスに電気的に接続される第3のバスと、
前記記憶手段に電気的に接続される第4のバスと、
前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

1 2. 請求項5において、

後段のアプリケーションに接続される第1のバスと、
該データ転送制御装置をコントロールする第2のバスと、
物理層のデバイスに電気的に接続される第3のバスと、
前記記憶手段に電気的に接続される第4のバスと、
前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

1 3. 請求項7において、

後段のアプリケーションに接続される第1のバスと、
該データ転送制御装置をコントロールする第2のバスと、
物理層のデバイスに電気的に接続される第3のバスと、
前記記憶手段に電気的に接続される第4のバスと、
前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御装置。

1 4. 請求項8において、

後段のアプリケーションに接続される第1のバスと、
該データ転送制御装置をコントロールする第2のバスと、
物理層のデバイスに電気的に接続される第3のバスと、
前記記憶手段に電気的に接続される第4のバスと、
前記第1、第2、第3のバスのいずれかと前記第4のバスとの間にデータ経路
を確立するための調停を行う調停手段とを含むことを特徴とするデータ転送制御
装置。

15. 請求項1において、

前記パケット整形手段と前記記憶手段との間に設けられるFIFOを含むこと
を特徴とするデータ転送制御装置。

16. 請求項4において、

前記パケット整形手段と前記記憶手段との間に設けられるFIFOを含むこと
を特徴とするデータ転送制御装置。

17. 請求項5において、

前記パケット整形手段と前記記憶手段との間に設けられるFIFOを含むこと
を特徴とするデータ転送制御装置。

18. 請求項7において、

前記パケット整形手段と前記記憶手段との間に設けられるFIFOを含むこと
を特徴とするデータ転送制御装置。

19. 請求項8において、

前記パケット整形手段と前記記憶手段との間に設けられるFIFOを含むこと
を特徴とするデータ転送制御装置。

20. 請求項1において、

I E E E 1 3 9 4 の規格に準拠したデータ転送を行うことを特徴とするデータ
転送制御装置。

21. 請求項4において、

I E E E 1 3 9 4 の規格に準拠したデータ転送を行うことを特徴とするデータ
転送制御装置。

22. 請求項5において、

I E E E 1 3 9 4の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

23. 請求項7において、

I E E E 1 3 9 4の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

24. 請求項8において、

I E E E 1 3 9 4の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

25. 請求項1乃至24のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

26. 請求項1乃至24のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

FIG. 1A

非同期サブアクション

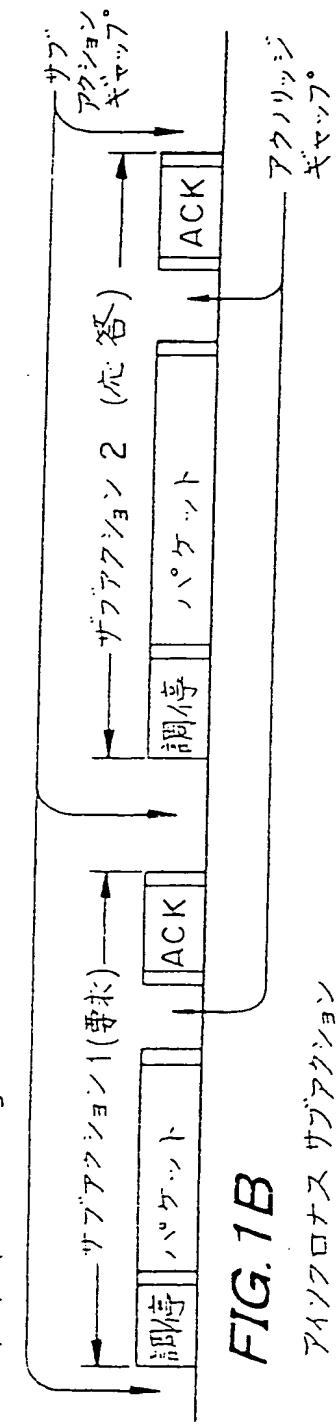


FIG. 1B

アイソクロナスサブアクション

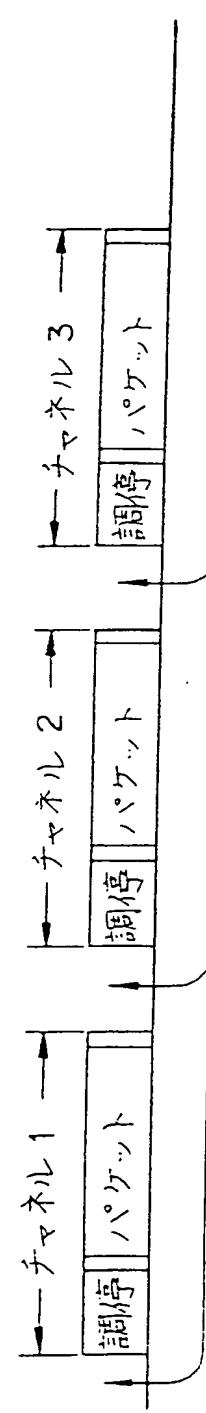
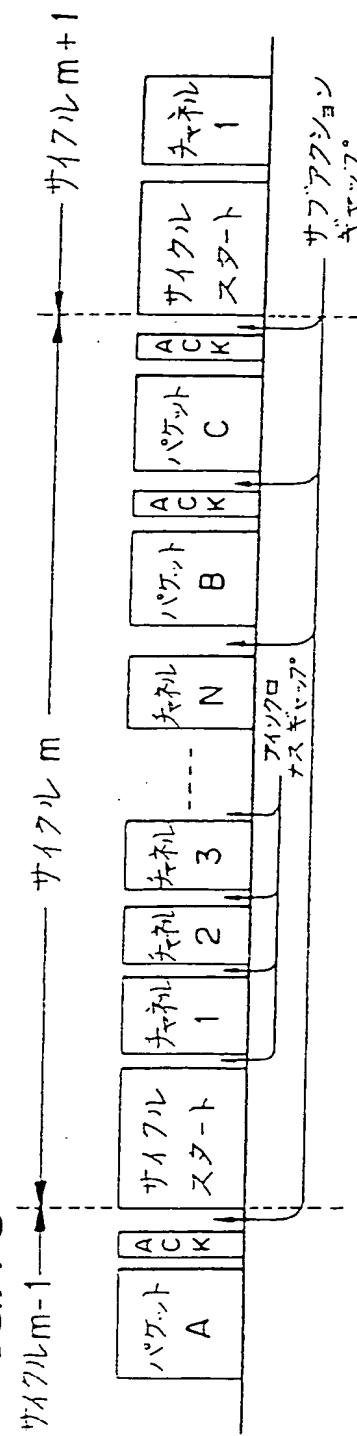


FIG. 1C



2/28

FIG.2A

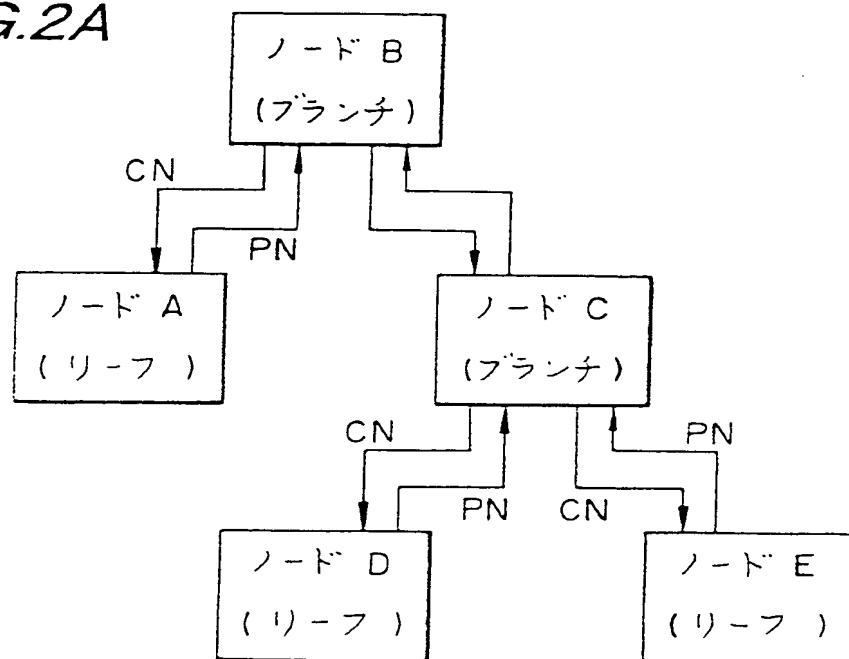
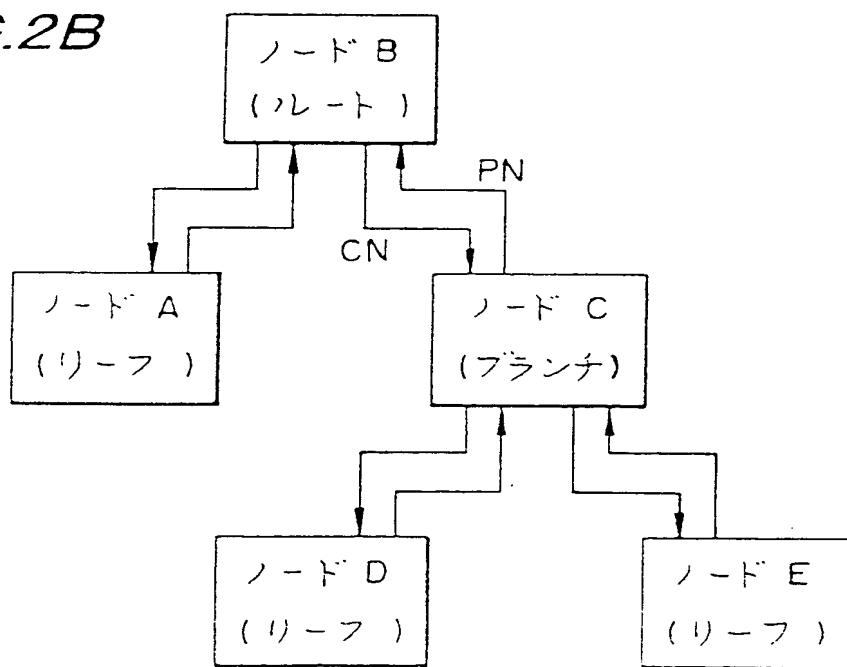
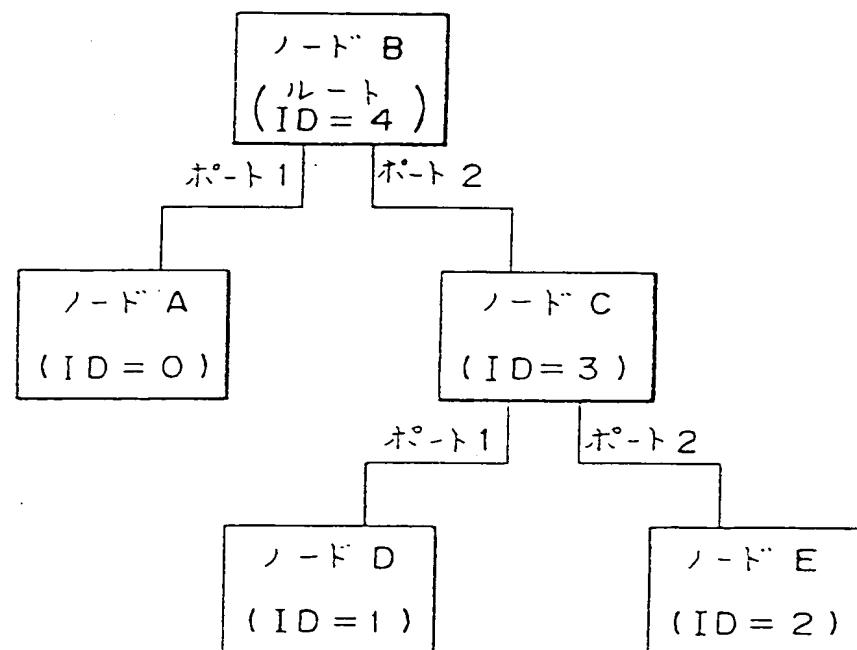


FIG.2B



3/28

FIG.3



4 / 28

FIG. 4A セルフ ID パケット #0

FIG. 4B セルフ ID パケット #1, #2, #3

b.31	b.0
0	10 PHY_ID 1 n rsv pa pb pc pd pe pf pg ph rm
1	最初の32ビットの反転

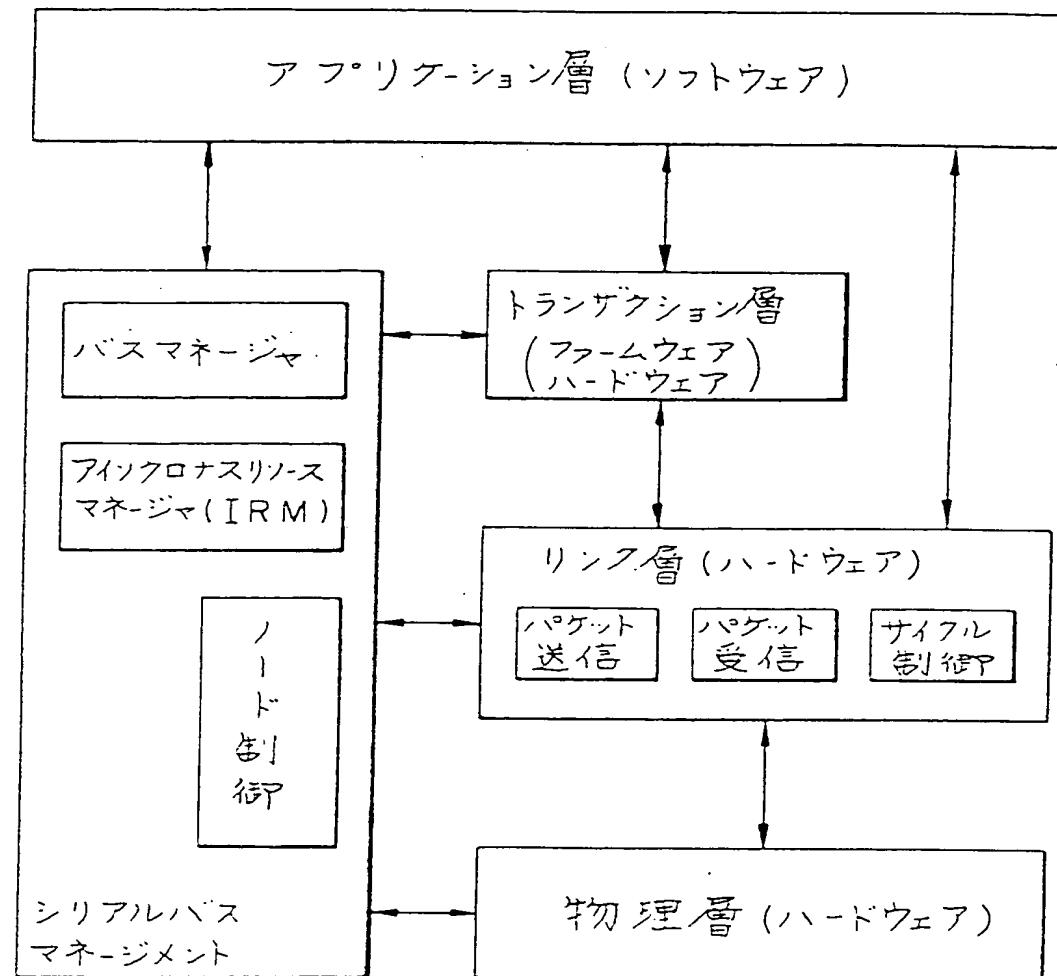
FIG. 4C リンクオンパケット

FIG. 4D PHY 構成パケット

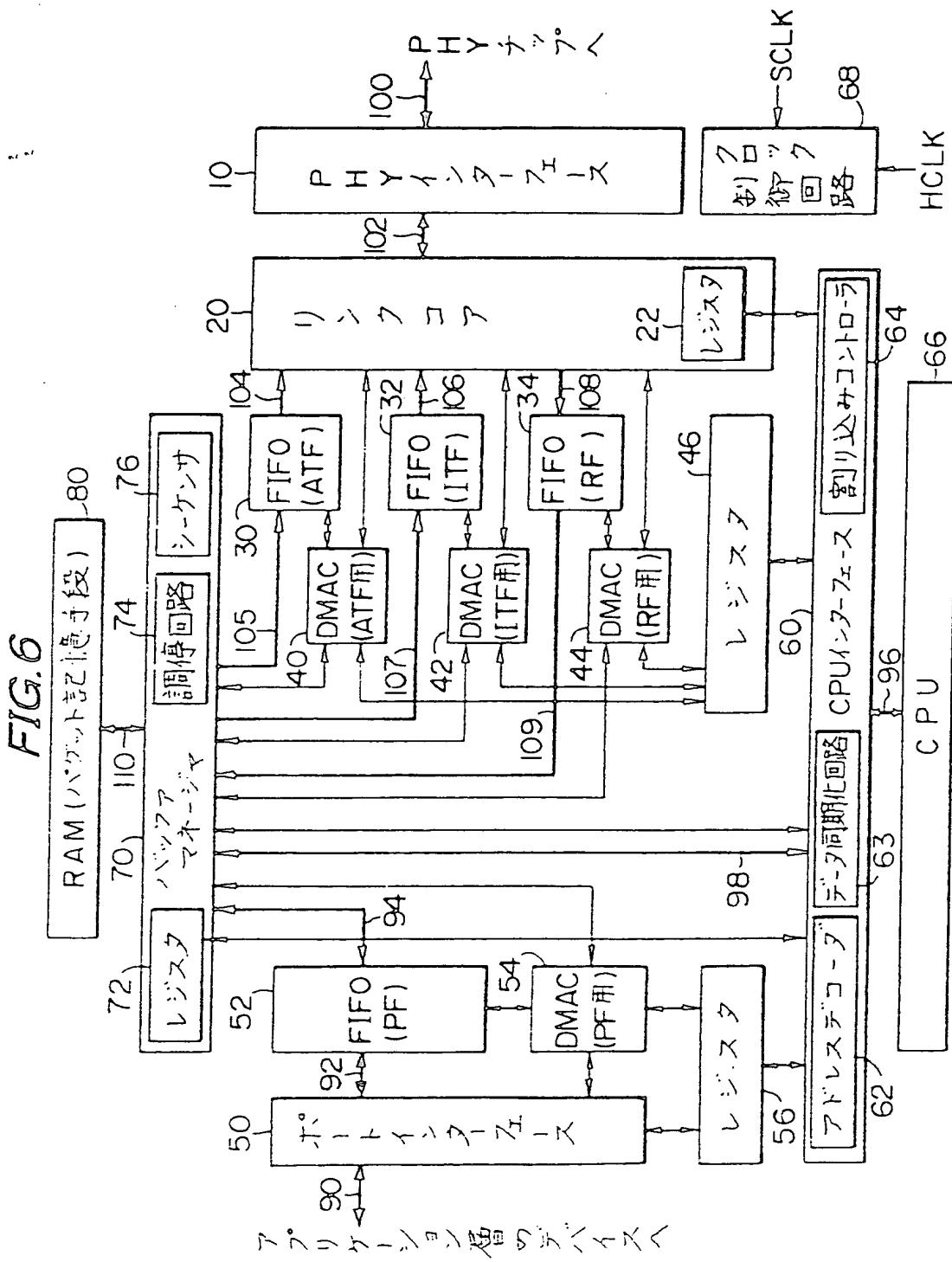
b.31								b.0
0	00	PHY_ID	R T	gap_cnt	0000	0000	0000	0000
1				最初の32ビットの反転				

5/28

FIG.5

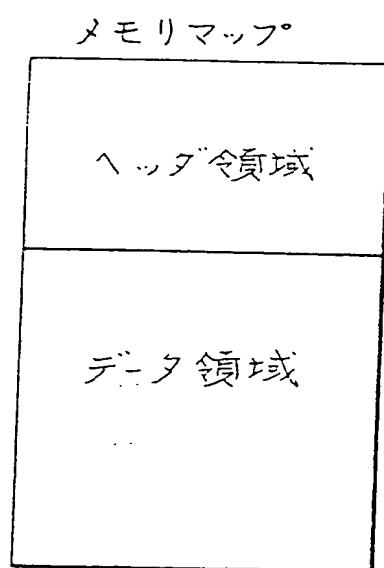


6/28



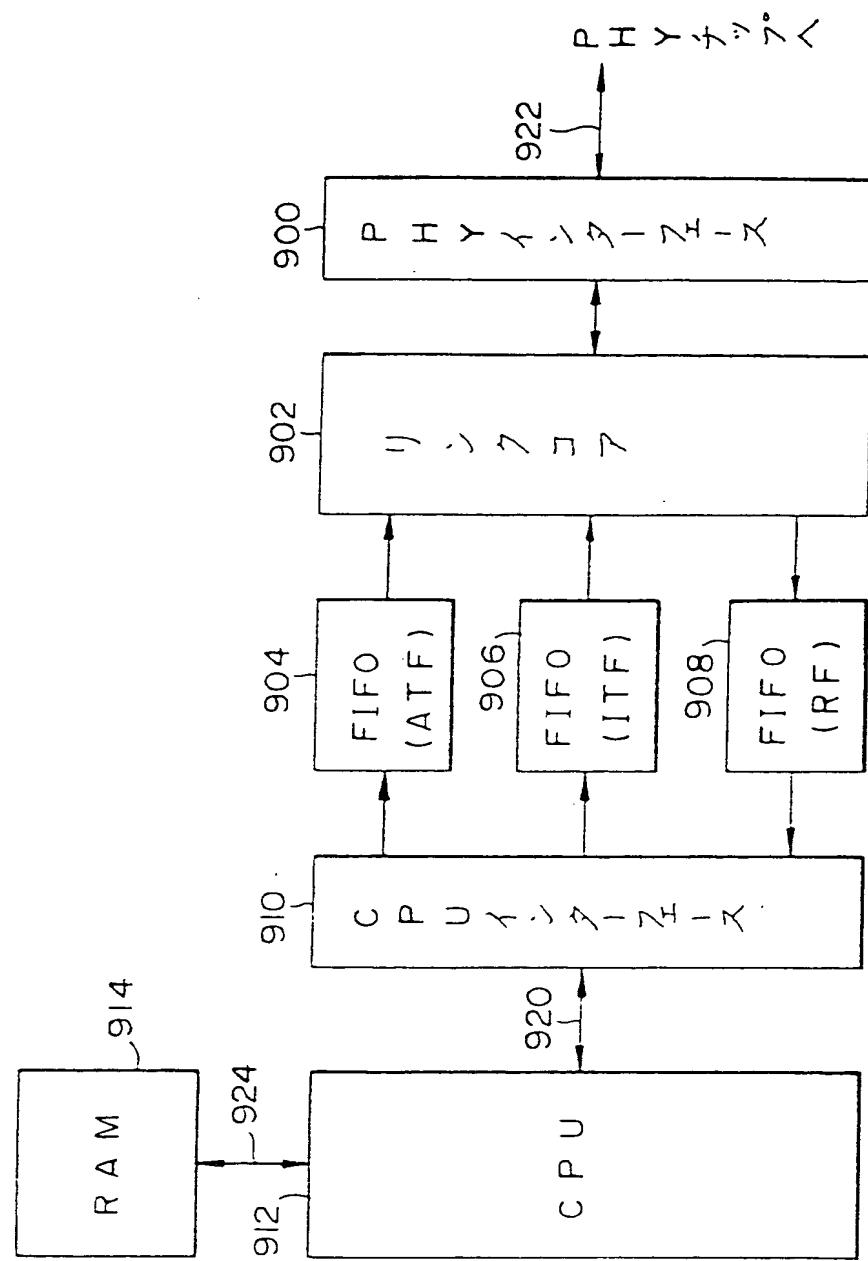
7/28

FIG. 7



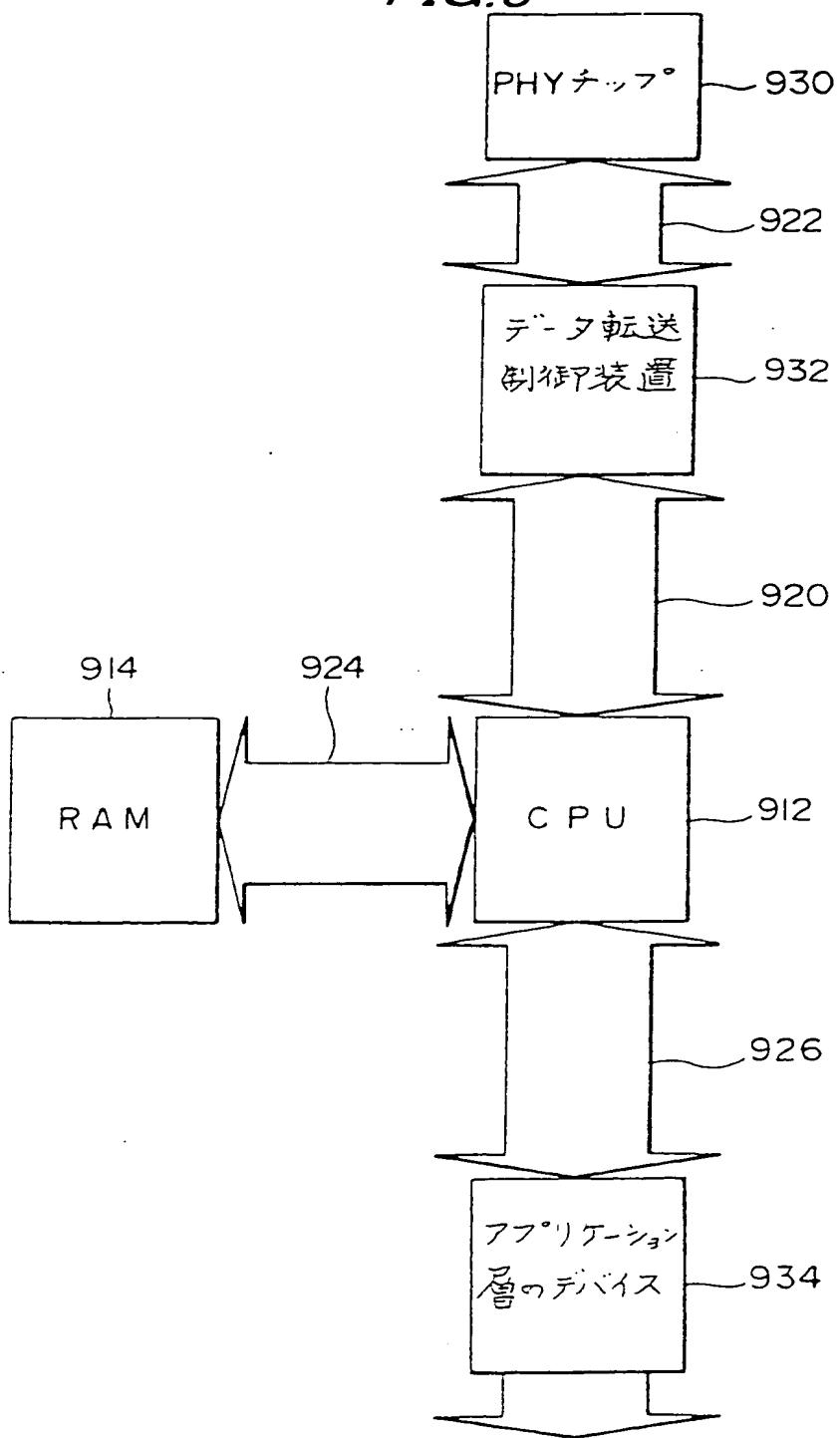
8/28

FIG. 8



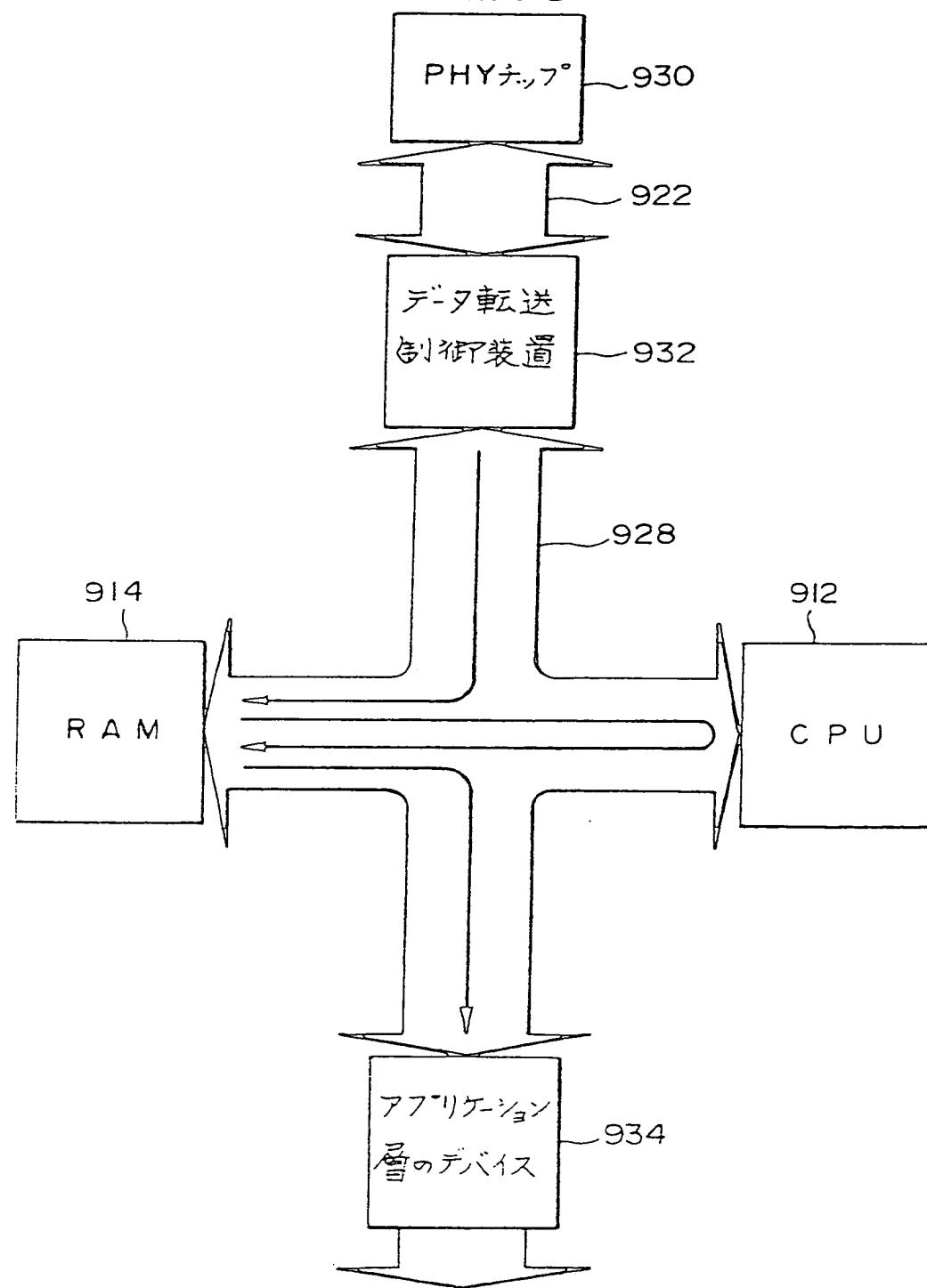
9/28

FIG.9



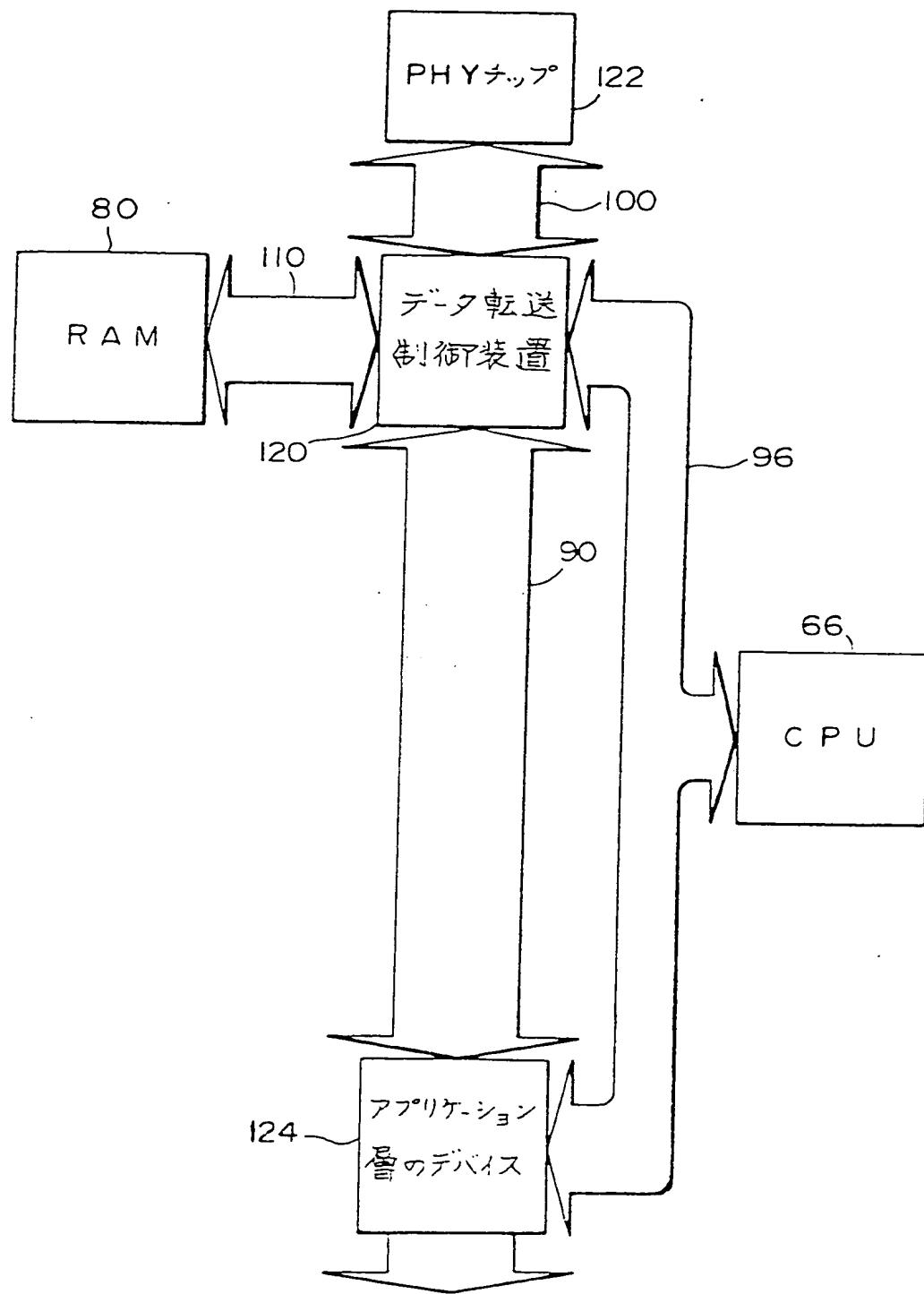
10/28

FIG. 10



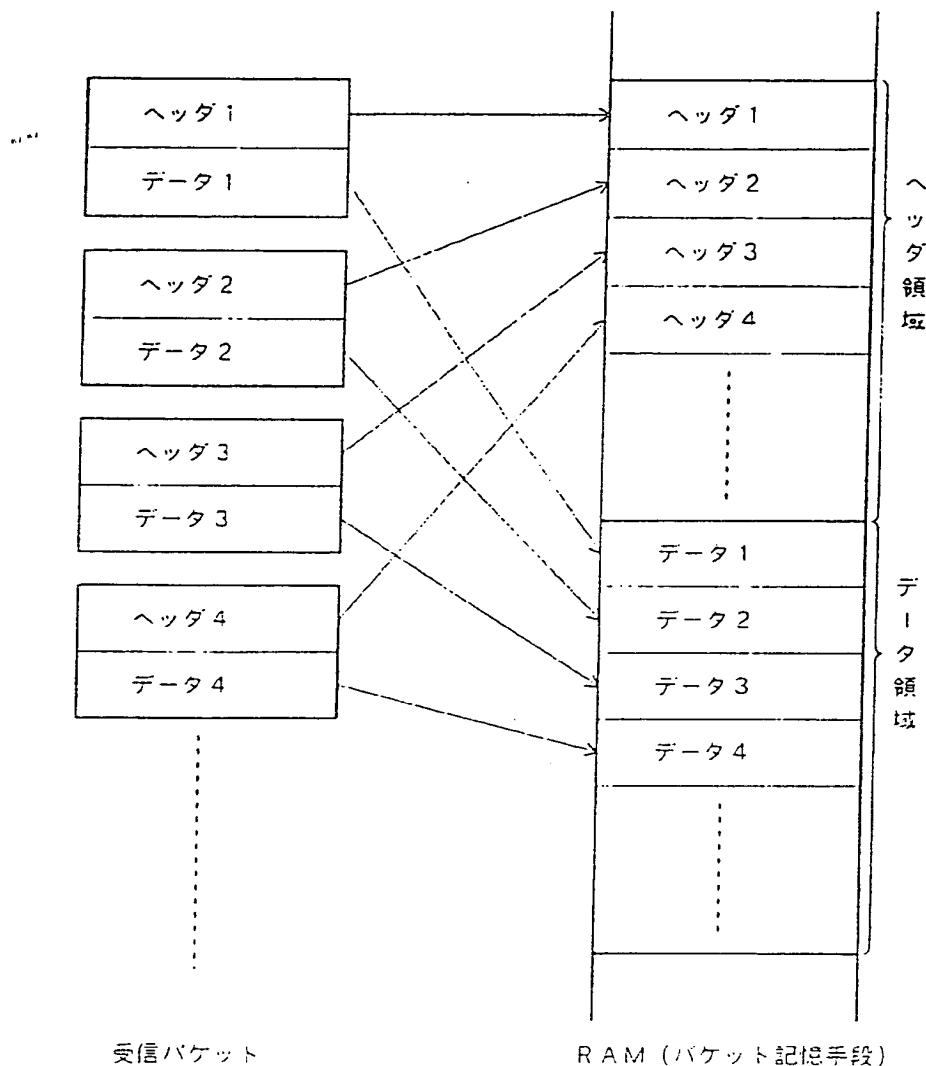
11/28

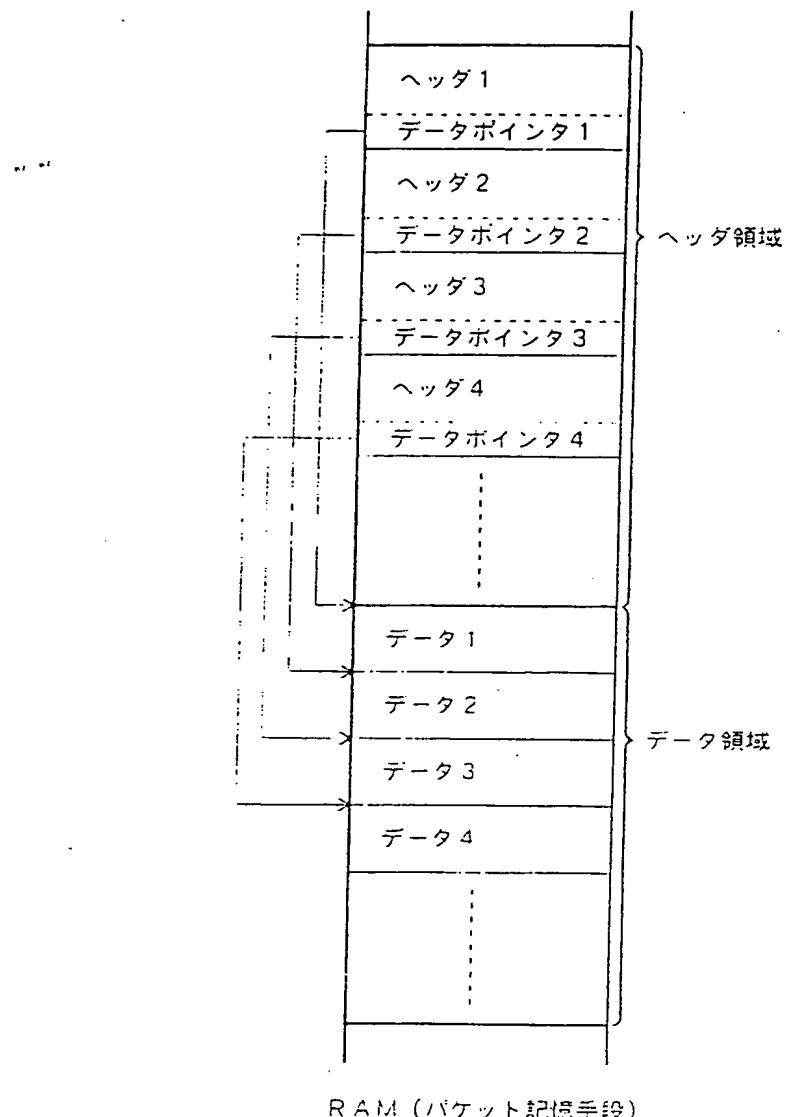
FIG. 11



12/28

FIG. 12

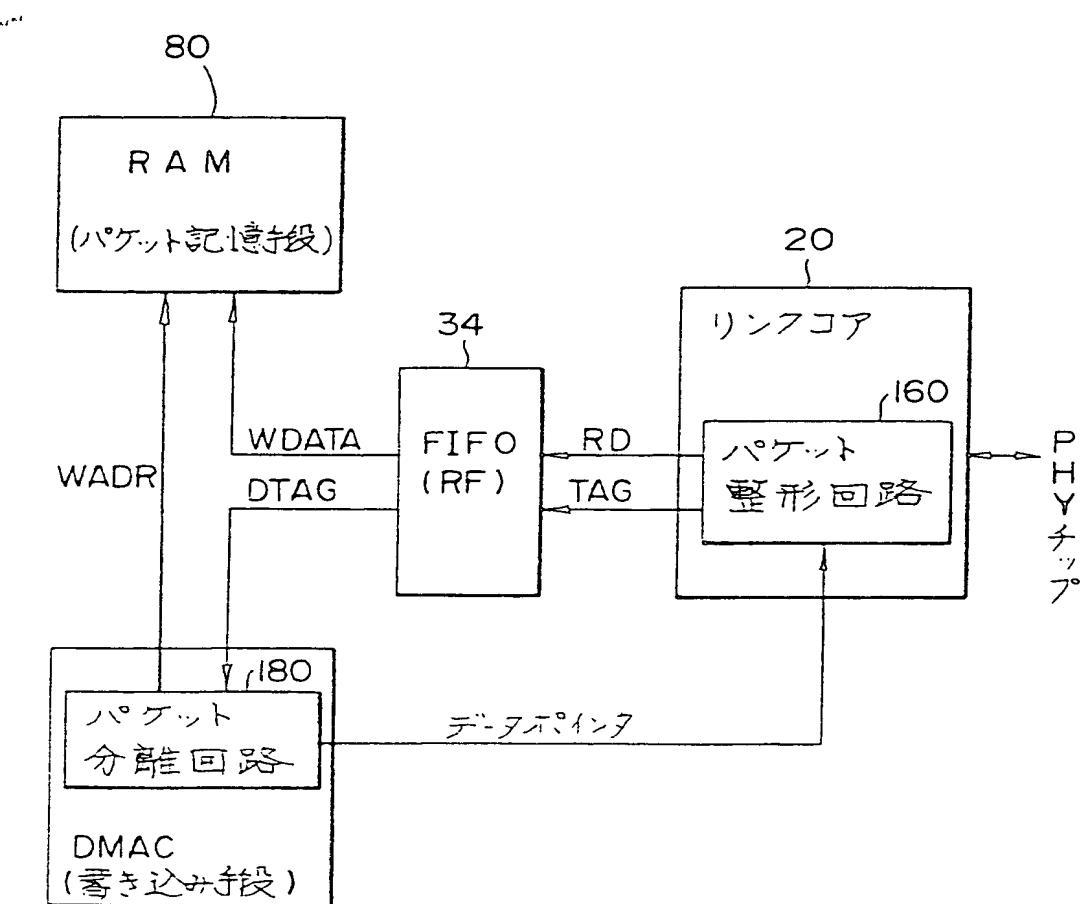


13/28
FIG. 13

RAM (パケット記憶手段)

14/28

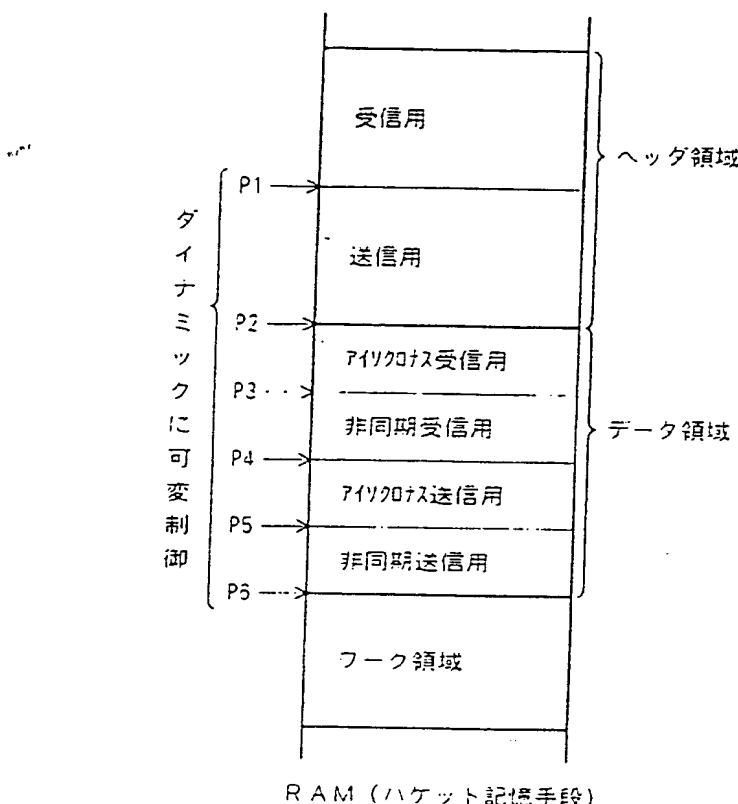
FIG. 14



15/28

FIG. 15

TAG (DTAG)	意味
00	ヘッダ
01	トレイラー
10	データ
11	スタート

16/28
FIG. 16

17/28

FIG. 17A

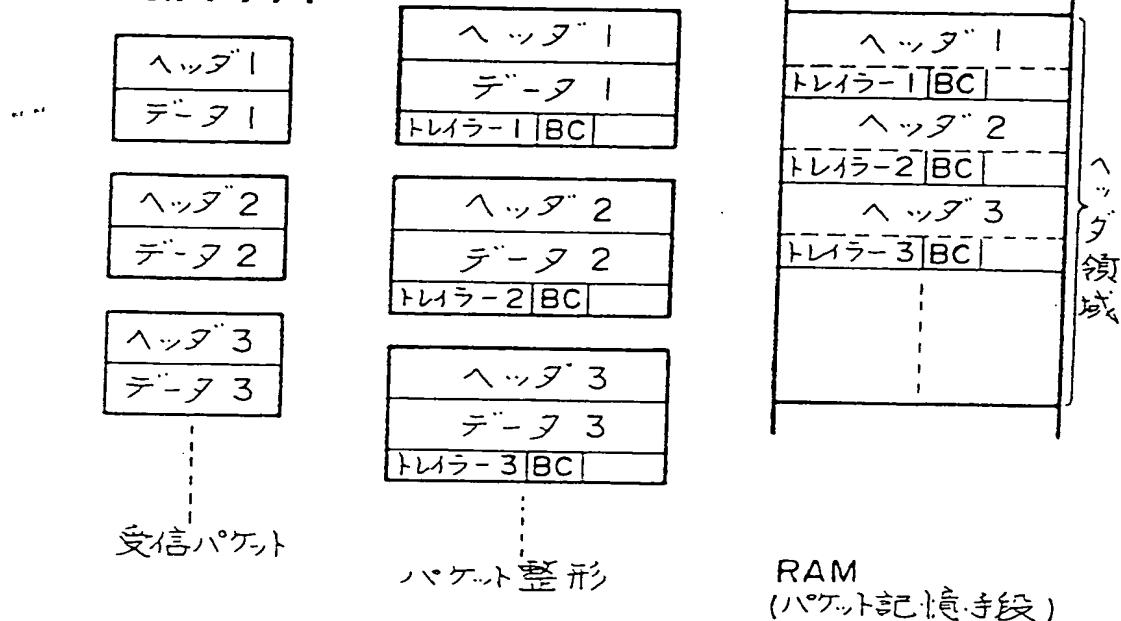


FIG. 17B

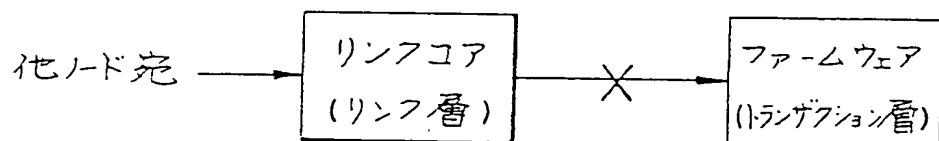


FIG. 17C

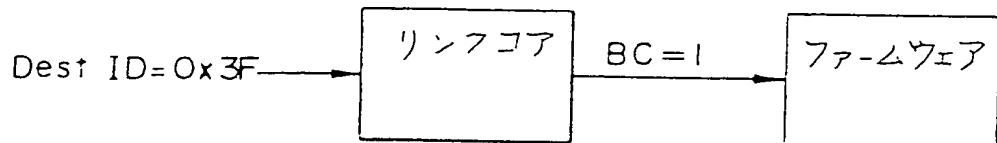
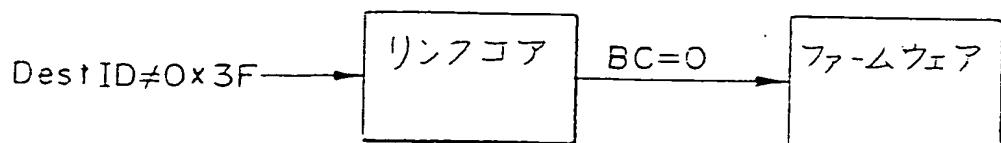


FIG. 17D



18/28

FIG. 18A

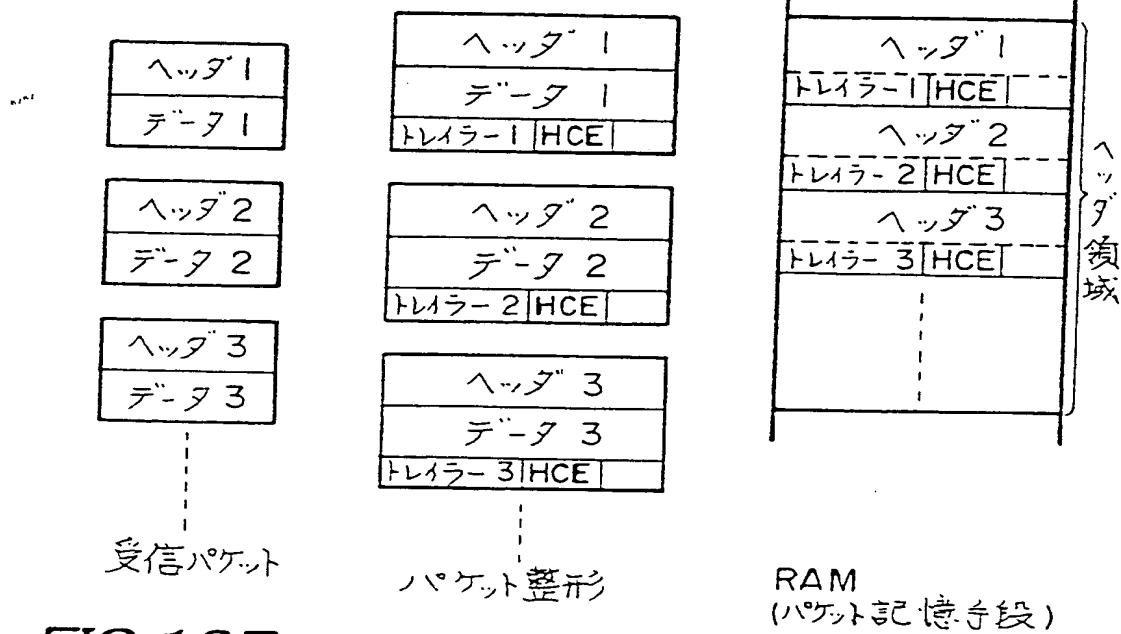
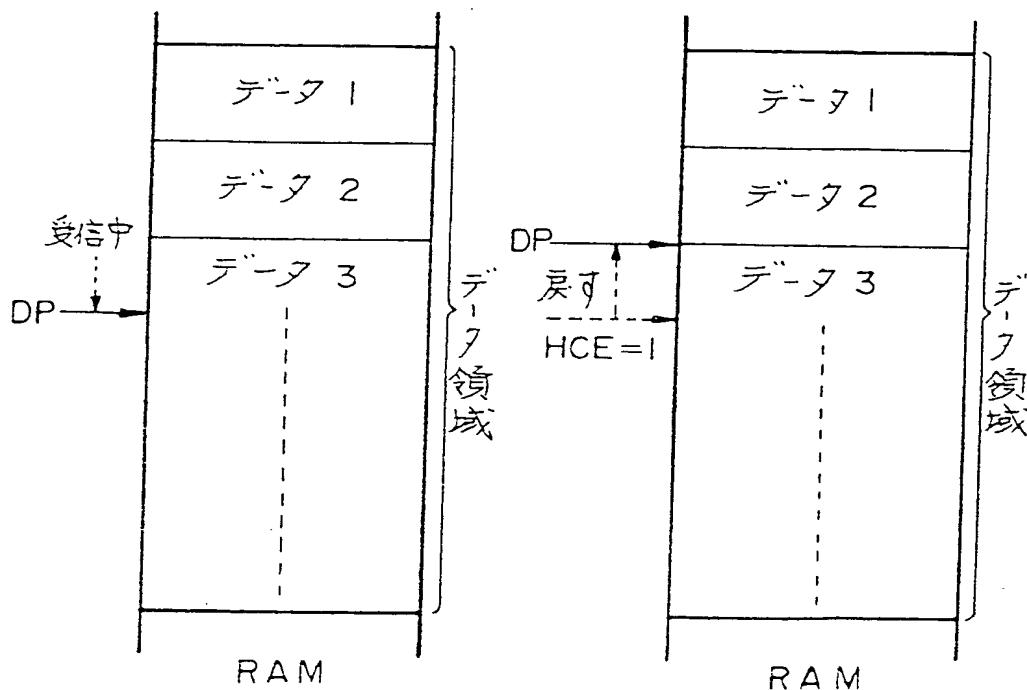
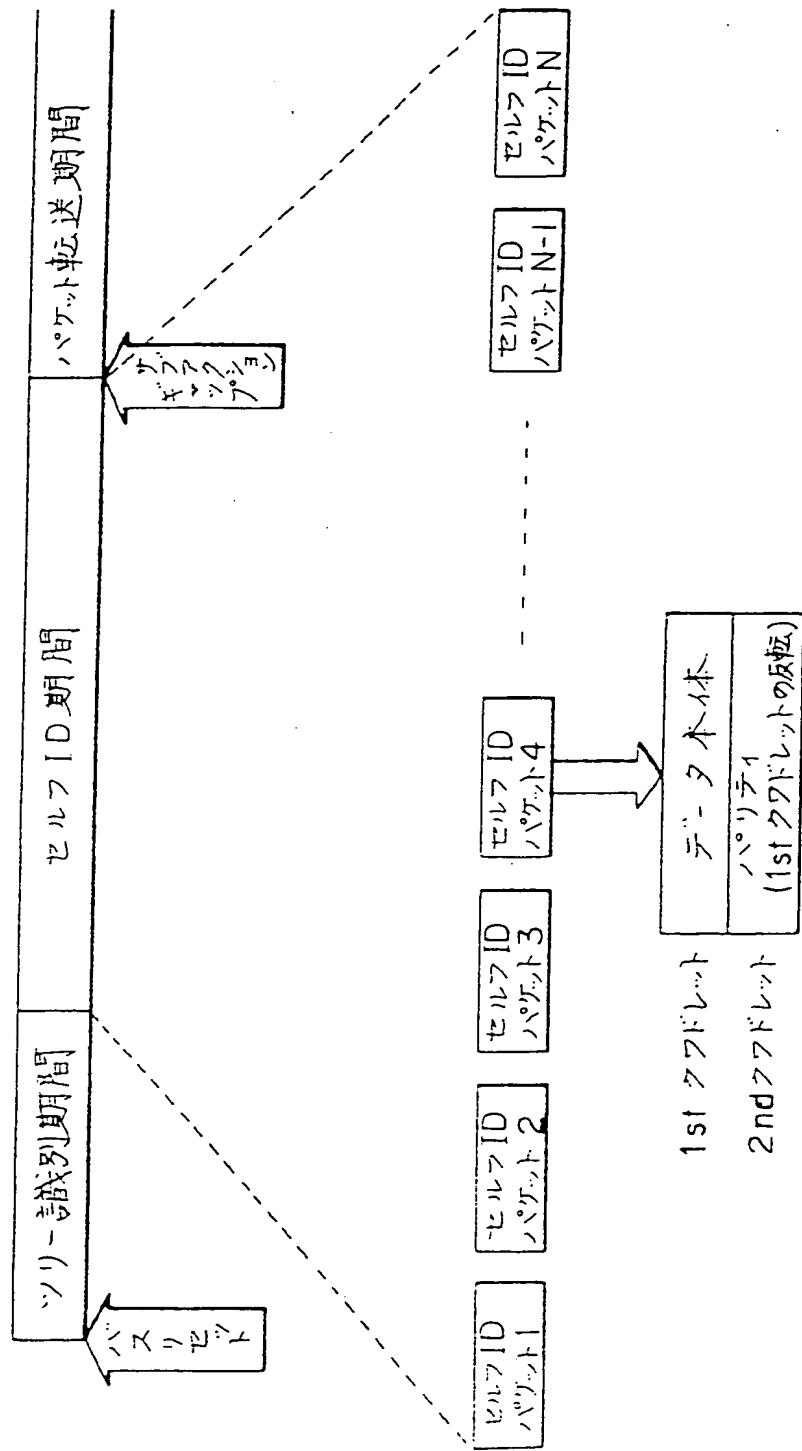


FIG. 18B



19/28

FIG. 19



20/28

FIG.20A

比較例

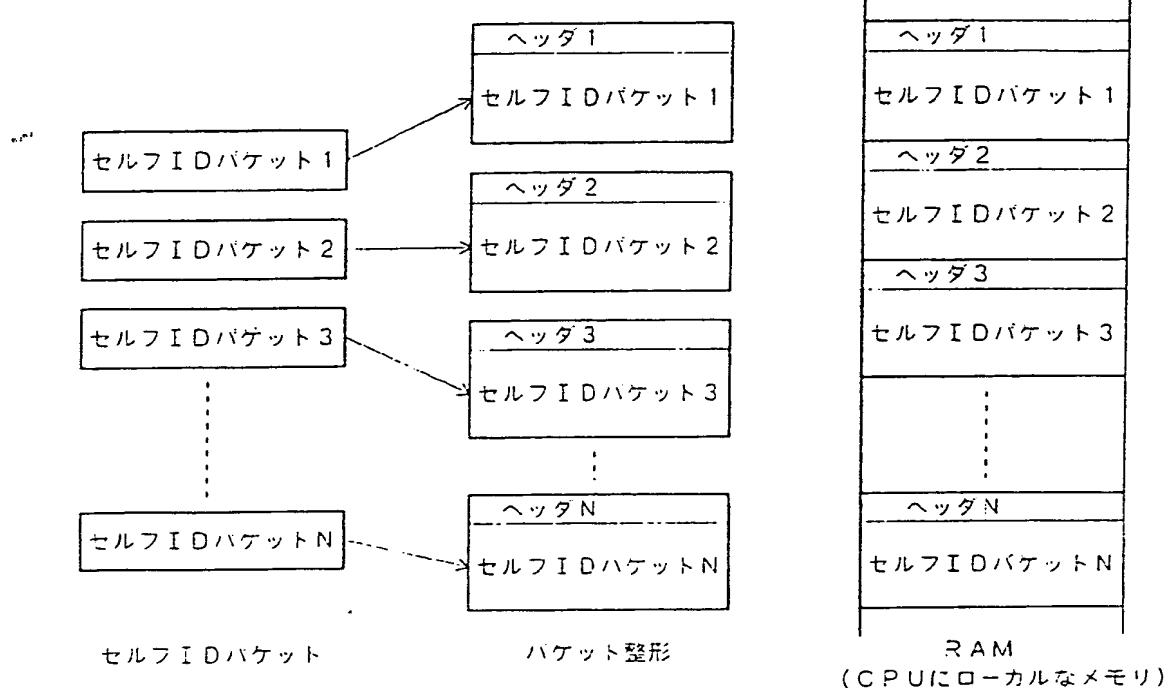
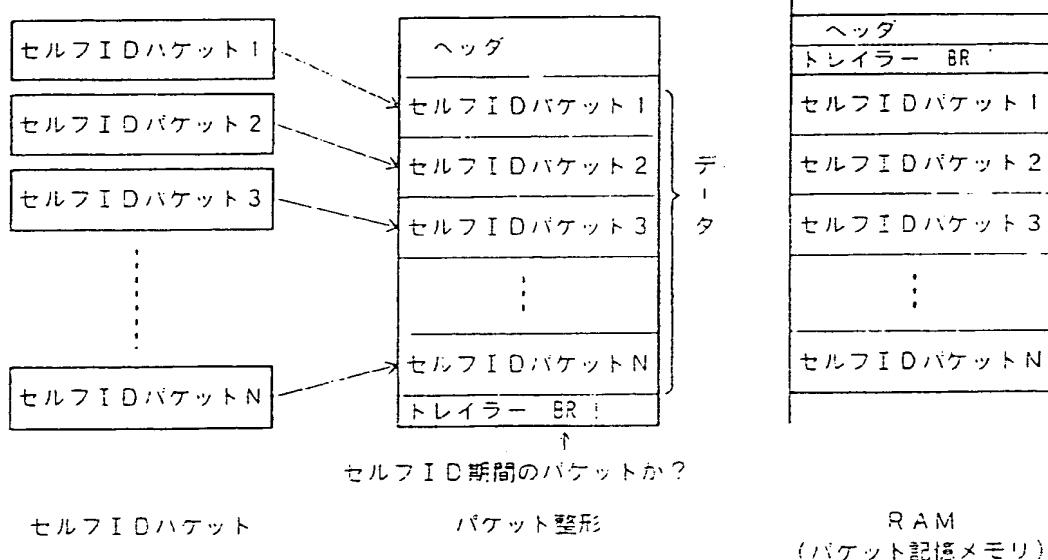


FIG.20B

本実施形態



21/28

FIG.21A

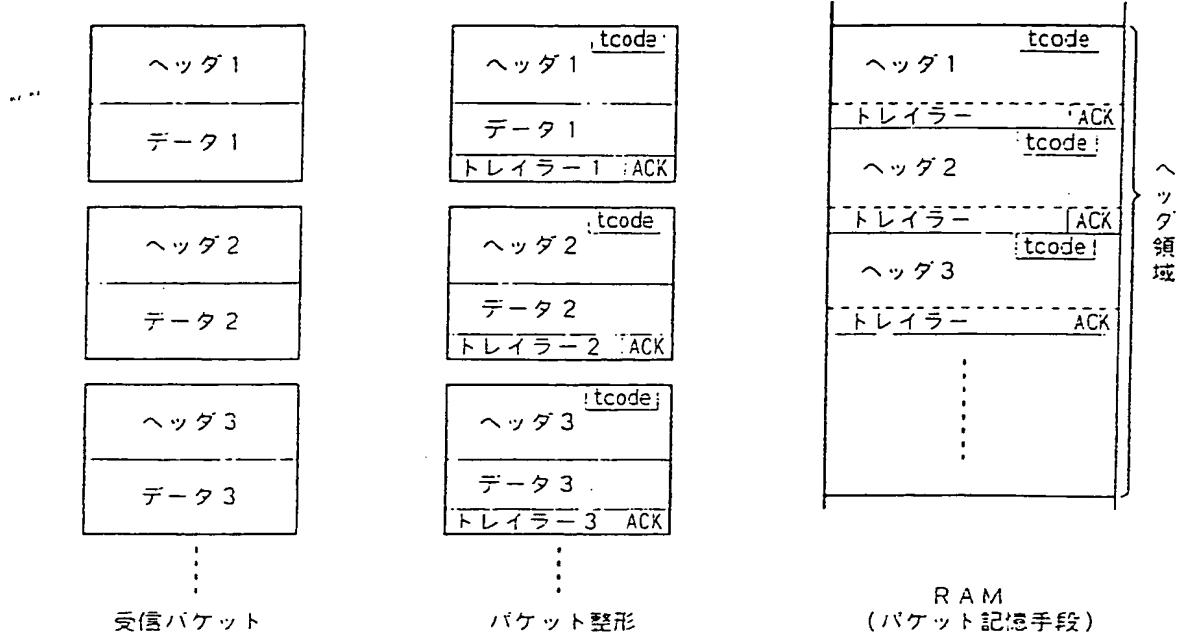


FIG.21B

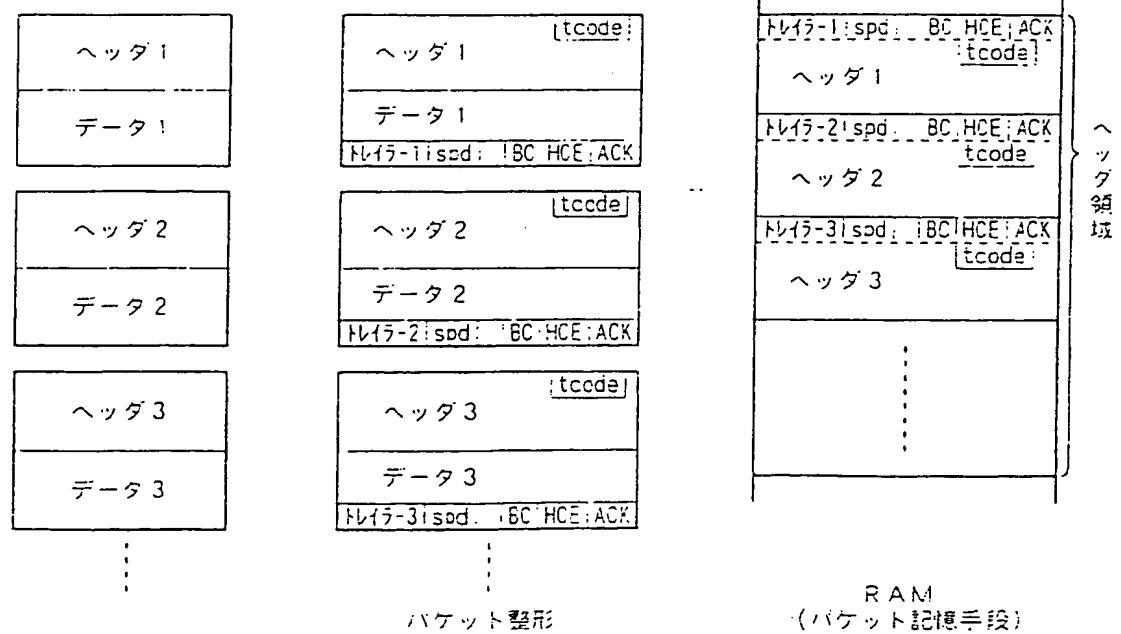
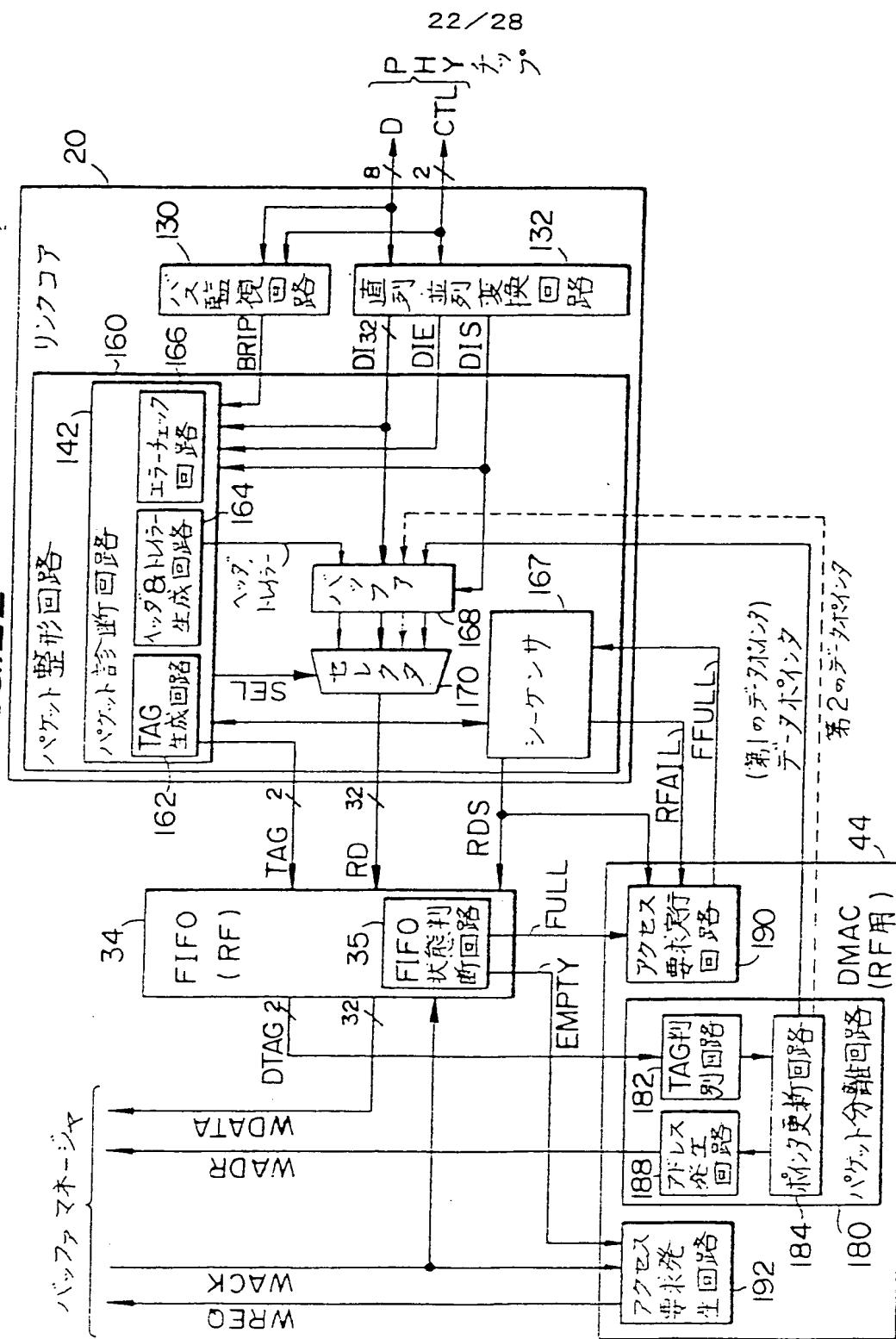
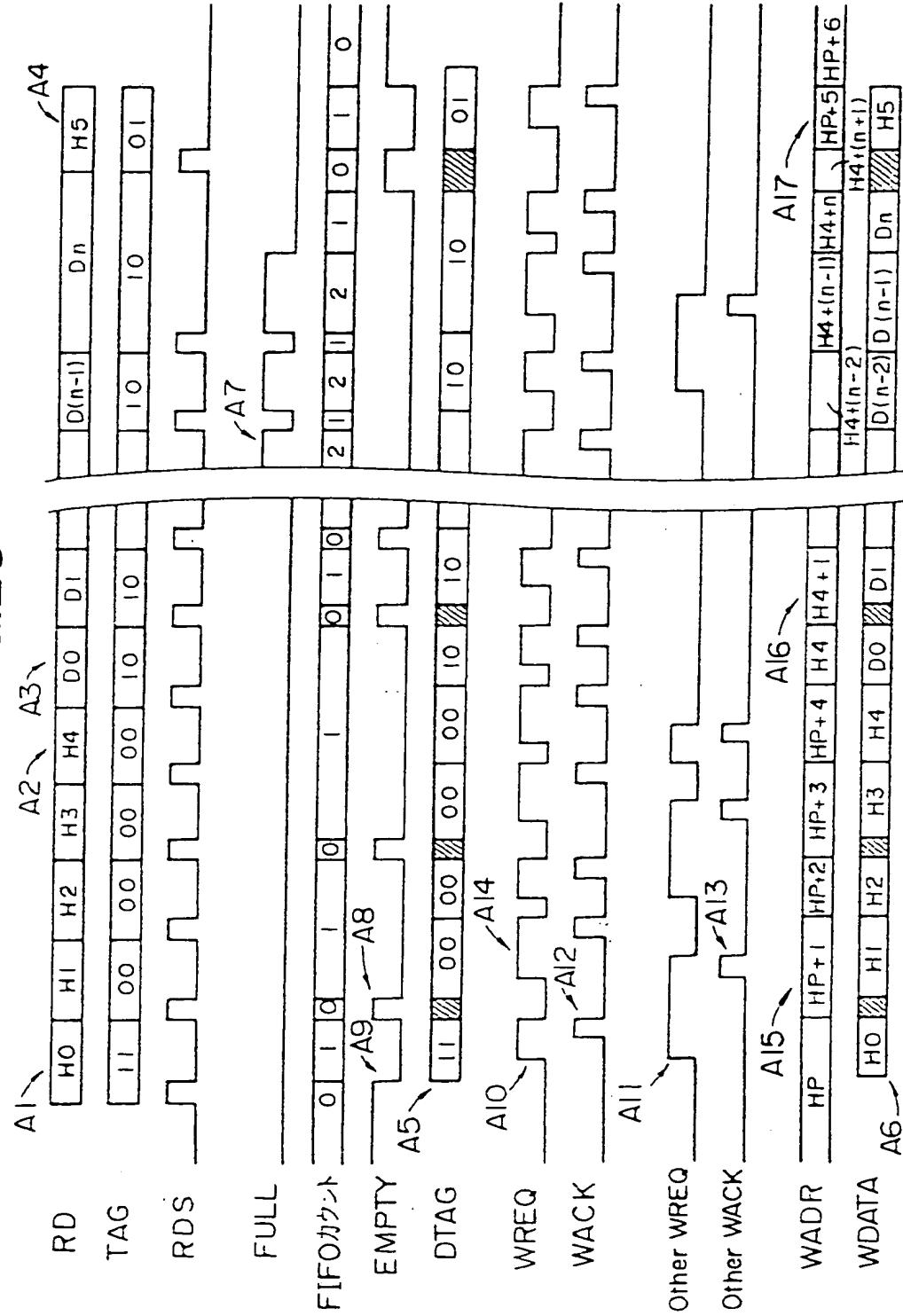


FIG. 22



23 / 28

FIG. 23



24/28

FIG.24A

b.31	b.0				
DestID	t1	rt	tcode	pri	
ソース ID	(MSB)				
	PacketTypeSpecInfo				(LSB)
	PacketTypeSpecQuadData				
	ヘッダ CRC				
	データ				
	データ CRC				

FIG.24B

Rxアシンクロナスパケット						ブロックライト要求, ブロックリード応答, ロック要求, ロック応答			
b.31						b.0			
0	DestID	t1	rt	tcode	pri				
1	ソース ID	(MSB)							
2		PacketTypeSpecInfo				(LSB)			
3	データ長		ExtendedTcode						
4		データポインタ							
5		spd		BC	HCE	ACK			

25 / 28

FIG.25A

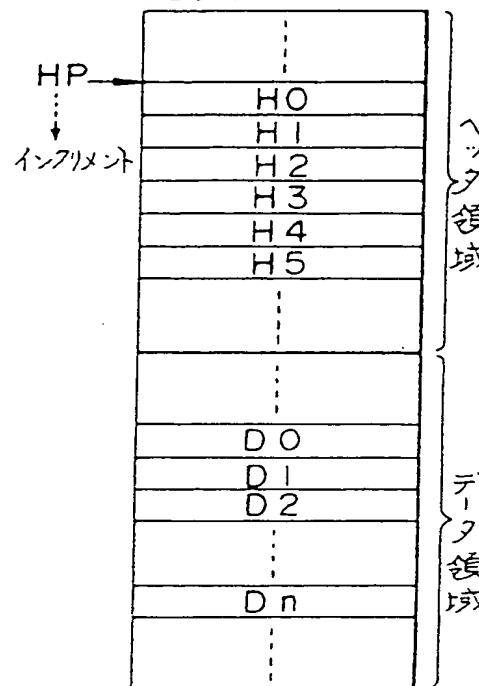


FIG.25B

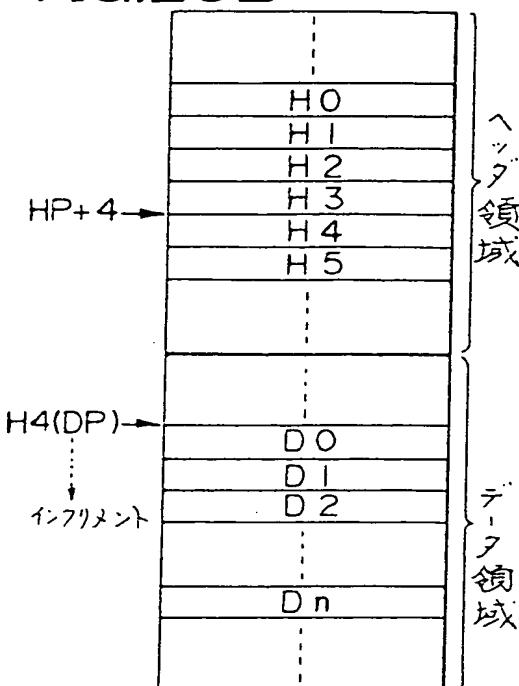


FIG.25C

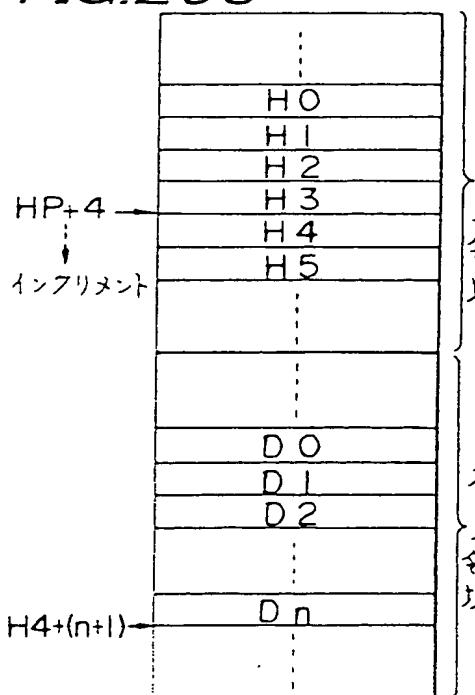
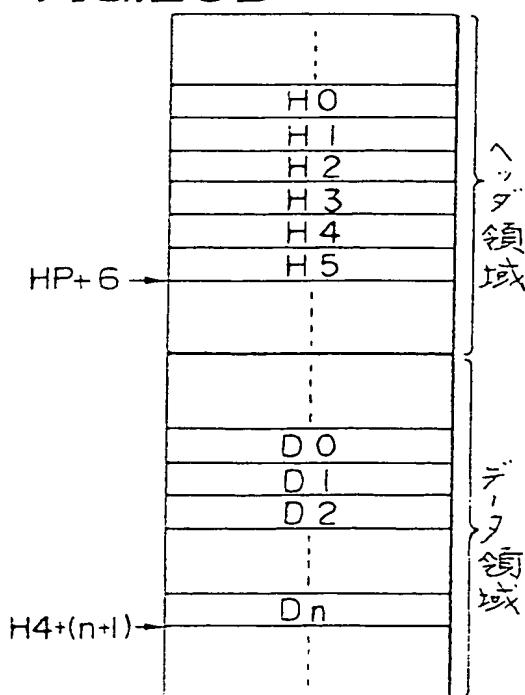


FIG.25D



26/28

FIG.26A

Rxアシンクロナスバスリセットパケット

(tcode:0xE)

b.31					b.0
0	予約済み		予約済み	tcode	4' h0
1	データポインタ				
2	データ長			BR BC HCE ACK	

↑
1' h1

FIG.26B

Rxアシンクロナスファイパケット ノーマル

(tcode:0xE)

b.31					b.0
0	予約済み		予約済み	tcode	4' h0
1	ファイパケット				
2		spd		BR BC HCE ACK	

↑
1' h0

27/28

FIG.27A

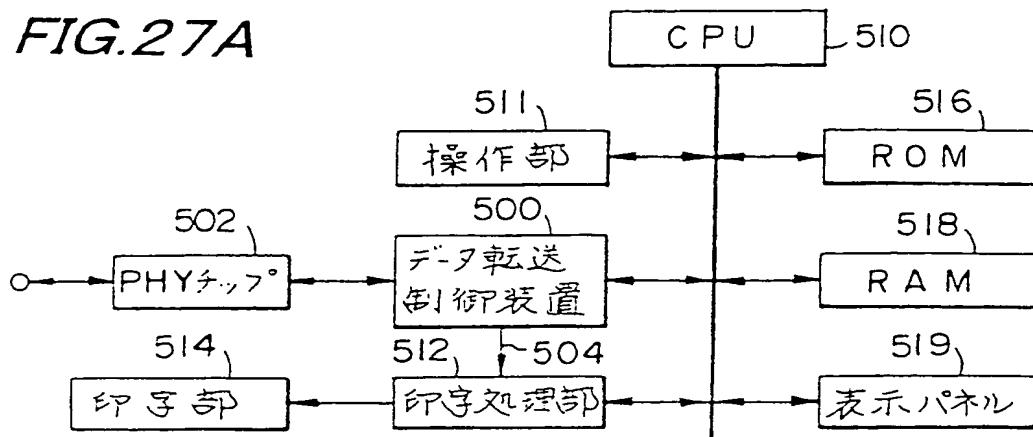


FIG.27B

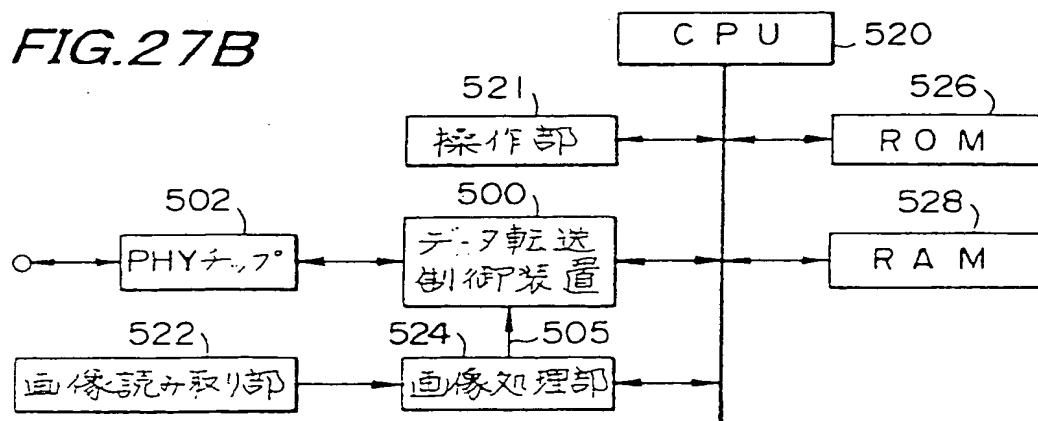
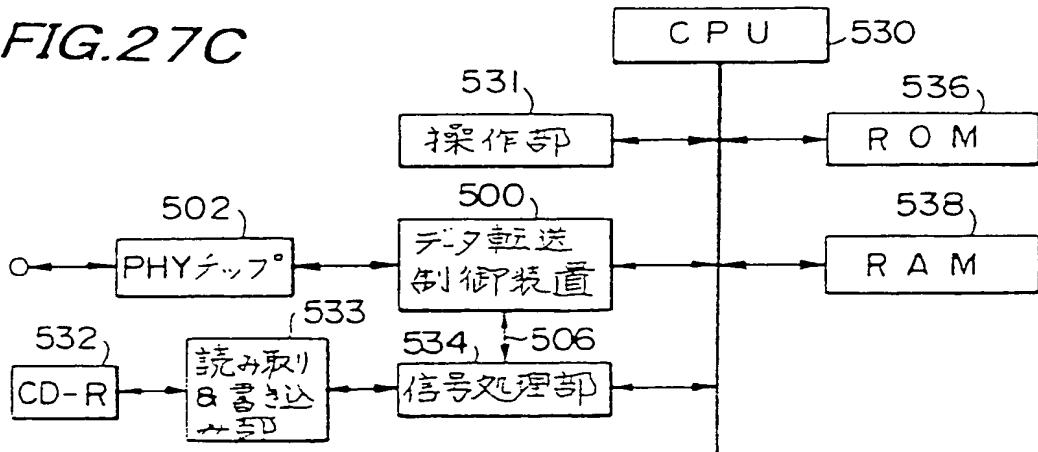
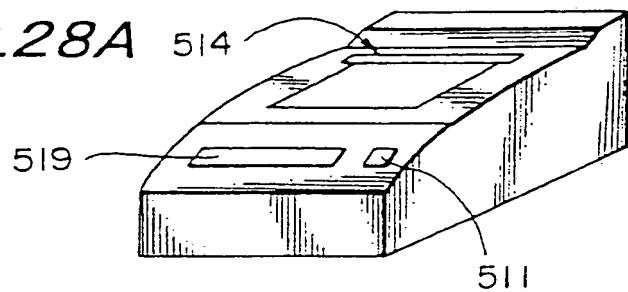
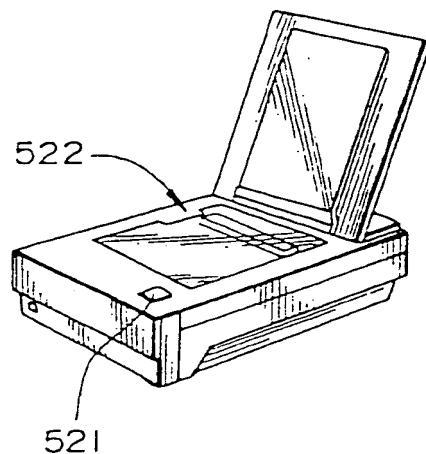
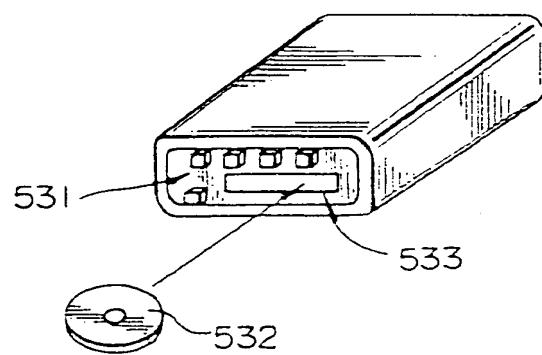


FIG.27C



28/28

FIG.28A*FIG.28B**FIG.28C*

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05902

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ G06F 13/00
 H04L 29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F 13/00
 H04L 29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1995 Toroku Jitsuyo Shinan Koho 1994-1999
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-023101, A (Fujitsu Limited), 23 January, 1998 (23.01.98) (Family: none) Figs. 6, 8	1-26
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.), 29 October, 1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A Figs. 19, 20,	1-26
EA	JP, 11-017773, A (Sony Corporation), 22 January, 1999 (22.01.99) (Family: none)	1-26
A	Nikkei Electronics 1997.9.8 (NO.698), "Direct connection of digital steel cameras: connecting different type of machines by standardization", Pages.107-111 (PWG: Printer Working Group)	1-26

 Further documents are listed in the continuation of Box C. See patent family annex.

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"?" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 January, 2000 (25.01.00)	Date of mailing of the international search report 08 February, 2000 (08.02.00)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Faxsimile No.	Telephone No.

国際調査報告

国際出願番号 PCT/JP99/05902

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' G06F 13/00
H04L 29/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' G06F 13/00
H04L 29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報(Y1, Y2) 1926-1996年
 日本国公開実用新案公報(U) 1971-1999年
 日本国登録実用新案公報(U) 1994-1999年
 日本国実用新案登録公報(Y2) 1996-1999年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-023101, A (富士通株式会社) 23.01月. 1998 (23.01.98), フ アミリーなし 第6, 8図参照 (FIFOにデータ書き込み位置を示 すライトポインタを設けた構成)	1-26
A	EP, 803821, A2 (TEXAS INSTRUMENTS INC.) 29.10月. 1997 (29.10.97) & JP, 10040211, A & KR, 97072830, A & US, 5983301, A, 19, 20図参照 (パケット制御リストによるデータ構造および連続転送の構成)	1-26
EA	JP, 11-017773, A (ソニー株式会社) 22.01月. 1999 (22.01.99), フ アミリーなし (トランザクションコード/ラベルの処理回路構成)	1-26

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」符に関連のある文献ではなく、一般的技術水準を示す
もの

「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの

「I」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
て出願と矛盾するものではなく、発明の原理又は理
論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 25.01.00	国際調査報告の発送日 08.02.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 猪瀬 隆広 電話番号 03-3581-1101 内線 3594 5X 9560

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	日経エレクトロニクス 1997.9.8 (No. 698), 「デジタル・スチル・ カメラを直結、標準化で異機種間接続へ」, Pages. 107-111 (PWG:Printer Working Group 標準化動向の記事)	I-26

THIS PAGE BLANK (USPTO)